



<p>(51) 国際特許分類6 G06F 15/80, 17/10, H03M 13/00, G11B 20/18</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/14685</p> <p>(43) 国際公開日 1999年3月25日 (25.03.99)</p>
<p>(21) 国際出願番号 PCT/JP97/03259</p> <p>(22) 国際出願日 1997年9月16日 (16.09.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 小島浩嗣(KOJIMA, Hirotugu)(JP/JP) 〒359 埼玉県所沢市青葉台1337-1 ビッグ武蔵野小手指512号 Saitama, (JP) 金子憲二(KANEKO, Kenji)(JP/JP) 〒229 神奈川県相模原市下九沢2609-11 Kanagawa, (JP) 小澤利光(OZAWA, Toshimitsu)(JP/JP) 〒370 群馬県高崎市江木町957-1 コトブキハイツ102号 Gunma, (JP) 山内 司(YAMAUCHI, Tsukasa)(JP/JP) 〒244 神奈川県横浜市戸塚区上倉田町1372番2 戸塚ガーデンハウスA棟408号 Kanagawa, (JP) 片山ゆかり(KATAYAMA, Yukari)(JP/JP) 〒253 神奈川県茅ヶ崎市松林2丁目13番1号 Kanagawa, (JP)</p>		<p>(74) 代理人 弁理士 玉村静世(TAMAMURA, Shizuyo) 〒271 千葉県松戸市松戸1333番地1 コスモ松戸ステーションスクエア209号 Chiba, (JP)</p> <p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: DATA PROCESSOR AND DATA PROCESSING SYSTEM</p> <p>(54) 発明の名称 データ処理装置及びデータ処理システム</p> <p>(57) Abstract</p> <p>To improve the parallel processing throughput of a data processor, such as a SIMD parallel processor, data processor has a controller (200) for decoding a fetched instruction and executing the same, and a plurality of data processing units (101) adapted to receive in parallel control information for computing operations from the controller and to transfer processed data by the controller. Each data processing unit has a judgement element (111) for judging whether the results of computation in a computing element are in agreement with standby conditions, a standby register (121) adapted to be put in a set condition in accordance with the judgement results, and a circuit (131) adapted to stop the operation of the data processing unit in response to the set condition of the standby register as a standby control means for setting the data processing unit in a standby condition in accordance with the results of a computing operation based on the control information mentioned above. The controlling operation to return each data processing unit from a standby condition to an active condition is done by the controller. The plurality provided data processing units are put in a standby condition on the basis of the respective results of computations, and the restoration of the data processing units from a standby condition to an active condition is done by the controller to attain a branching process. Therefore, when a branching process is carried out in such manner that a standby condition decreases, a useless cycle due to the standby condition of the data processing units can be minimized easily, and the parallel processing throughput of a SIMD processor can be improved.</p> <p>11n, 112, 111...JUDGEMENT ELEMENTS 12n, 122, 121...STANDBY REGISTERS 16n, 162, 161...COMPUTING ELEMENTS 801, 802...MEMORIES 200...CONTROLLER 201...INSTRUCTION DECODER 203...DATA COMPUTING ELEMENT 204...FLAG 900...PERIPHERAL CIRCUIT 801...BUS A...CONTROL SIGNAL/INSTRUCTION B...DATA C...ADDRESS</p>		

(57)要約

本発明は、SIMD型並列プロセッサのようなデータ処理装置による並列演算処理性能を向上させることを目的とする。本発明に係るデータ処理装置は、フェッチした命令を解釈して実行する制御部(200)と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部によってデータ転送制御される複数個のデータ処理部(101)とを有する。夫々のデータ処理部は、前記制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段として、演算部の演算結果が待機条件に一致するかを判定する判定部(111)、判定結果に応じてセット状態にされる待機レジスタ(121)、待機レジスタのセット状態に応答して当該データ処理部の動作を停止される回路(131)を有する。夫々のデータ処理部を待機状態から活性状態に復帰させる制御は、制御部が行う。複数個設けられたデータ処理部は、個々の演算結果に基づいて待機状態とし、待機状態から活性状態への復帰を制御部が行って、分岐処理を実現する。したがって、待機状態が少なくなるように、分岐処理を実現すれば、データ処理部の待機状態による無駄なサイクルを最小限に抑えることが容易であり、SIMD形式による並列演算処理性能を向上させることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
CA	カナダ	ID	インドネシア	MW	マラウイ	UZ	ウズベキスタン
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	VN	ヴェトナム
CG	コンゴ	IL	イスラエル	NE	ニジェール	YU	ユーゴスラビア
CH	スイス	IN	インド	NL	オランダ	ZA	南アフリカ共和国
CI	コートジボアール	IS	アイスランド	NO	ノルウェー	ZW	ジンバブエ
CM	カメルーン	IT	イタリア	NZ	ニュージーランド		
CN	中国	JP	日本	PL	ポーランド		
CU	キューバ	KE	ケニア	PT	ポルトガル		
CY	キプロス	KG	キルギスタン	RO	ルーマニア		
CZ	チェコ	KP	北朝鮮	RU	ロシア		
DE	ドイツ	KR	韓国	SD	スーダン		
DK	デンマーク	KZ	カザフスタン	SE	スウェーデン		
EE	エストニア	LC	セントルシア				

明 細 書

データ処理装置及びデータ処理システム

5 技術分野

本発明は、並列演算処理が可能な SIMD (Single Instruction Multiple Data) 型のデータ処理装置に関し、例えば符号の誤り訂正、更には蓄積系や通信系におけるデータの符号化及び復号に適用して有効な技術に関する。

10

背景技術

ハードディスク、CD-ROM (Compact Disc-Read Only Memory)、DVD (Digital Video Disc)、光磁気ディスクなどの記録媒体を扱うデータ記録装置には、媒体で生じた記録／読み出しの誤りを訂正できる符号語が使われている。符号語は、例えばガロア体と呼ばれる特殊な数の集合と、それと共に定義された特殊な演算によって定義されている。符号の誤り訂正は、ガロア体の数と演算を用いたデータ処理によって行われる。ガロア体の数の集合は原始多項式と呼ばれる、数の集合を定義する基礎となる多項式によって、複数種類の定義が可能であって、同時に演算も原始多項式によって異なる定義がなされる。最も多用されている符号語には、リードソロモン (Reed Solomon) 符号があって、特に誤りが一部に集中しやすいデータの蓄積系や通信系の誤り訂正符号に用いられている。リードソロモン符号は、ガロア体の数を用いて定義されており、ガロア体上の演算によって符号化、復号の処理が行われる。ガロア体を定義する原始多項式は、媒体毎に規格が決められている。尚、ガロア体、ガロア体の数の四則演算などについては、公知であるから、ここ

25

では詳細な説明を省略する。

蓄積系（若しくは記録系）の媒体や通信系の伝送路からは、符号語が連続的に受信されて処理されるので、誤り訂正を含む受信データの処理のために許される時間は、データの受信速度から決められている。これは処理のリアルタイム性を考慮するためである。符号の誤り訂正処理には、ガロア体の数に対する四則演算の特殊性から、また、リアルタイム性を考慮して、汎用のプロセッサではなく、ハードワイアードのカスタム L S I（半導体集積回路）が用いられてきた。

ガロア体上の演算器をハードウェアにより構成し、プロセッサ形式で誤り訂正を行う L S I としては、「光ディスク用誤り訂正 L S I」（電子情報通信学会論文誌 A Vol.J73-A NO.2 pp.261-268, 1990 年 2 月）に記載されたものが知られている（第 1 の公知例）。これによれば、誤り訂正の処理手順は、以下の 4 ステップに分割される。ステップ 1 では、受信された符号語からシンδροーム多項式を計算する。ステップ 2 では、シンδροーム多項式から誤り位置多項式と誤り数値多項式を求める。ステップ 3 では、誤り位置多項式から誤り位置を求める。ステップ 4 では、誤り位置多項式と誤り数値多項式から誤り数値を求める。上記公知例は、上記全てのステップをプロセッサ形式のハードウェアで行うことは、リアルタイム性の制約から困難であるため、ステップ 2 とステップ 4 のみをプロセッサで行い、ステップ 1 とステップ 3 をハードワイアードの専用回路で処理している。

リアルタイム性を満足するためにデータ処理性能を向上させる方策としては、プロセッサの動作周波数を高くする方法と、並列処理を導入して演算性能を向上する方法が挙げられる。前者の動作周波数の向上は、プロセス／回路技術を向上させたり、多段のパイプライン処理を採用するなどの手法によって可能である。しかしながら、プロセス／回路技術

の向上は一度に数倍の性能向上を達成できるものではない。また、プロセッサ方式のハードウェアに多段のパイプライン処理を導入すると、分岐処理で多くのオーバーヘッドが生ずるなどの問題がある。

一方、前記並列処理を導入するのは、比較的容易に演算性能の向上が図れるが、処理アルゴリズム自体が並列処理に適合していないと実質的に処理性能が向上できないという問題がある。処理アルゴリズムの並列性を乱す要因として、演算結果に依存した分岐処理がある。

並列処理を行う上で、演算結果に依存した分岐処理を可能にした技術として、「並列処理における条件付き演算制御回路（特開平 5-189585号公報）」が知られている（第2の公知例）。これは、1個の命令供給回路と、同一命令を異なったデータに対して実行する同一構成の複数の演算ユニットから成る、SIMD型並列プロセッサにおいて、各演算ユニットにフラグ制御回路を設ける。フラグ制御回路は、対応する演算ユニットからその演算結果を表す演算結果フラグを入力して演算条件フラグを前記対応する演算ユニットに出力する。演算条件フラグに応じて、演算ユニットは出力レジスタの更新／保持など、条件付き演算を行う。その公知例で開示された技術によれば、演算結果フラグはフラグ制御回路内に設けられたシフトレジスタに複数サイクル蓄えられていて、その期間演算結果を演算条件フラグに反映させることができる。この技術を用いれば、SIMD型並列プロセッサにおいて、各演算ユニットは、その演算結果に依存した分岐処理を実現できる。

近年、記録媒体の高密度化、アクセス速度の高速化が顕著になり、カスタムLSIの開発にかかるコストが増大するという課題が顕著になってきた。また、通信系はもとより蓄積系でも複数の媒体それぞれの規格に対応した誤り訂正が求められる場合、原始多項式の相違などを考慮して、想定される全ての誤り訂正を実行できるカスタムLSIが必要に

なり、装置コストの増大を招くという課題がある。

CD-ROM ではアクセス速度が標準速から 2 倍速、4 倍速、更には 1 2 倍速以上にまで高速化した装置が提供されており、特定の記録媒体でのアクセス速度の高速化に対応するには、誤り訂正を行う L S I の処理速度の向上が不可欠である。高速化の要求は、半導体の微細加工による性能向上では対応できないほど性急であるため、アーキテクチャレベルでの再設計が必要となる。これには膨大な開発工数を要し、開発コストの増大という課題につながっている。

コンピュータの新しい外部記録媒体として、光ディスクと DVD-ROM を考える場合、どちらも誤り訂正符号としてリードソロモン符号を使っているが、ガロア体を定義する原始多項式が異なる。原始多項式が異なるということは、乗算の定義自体が異なるので、専用ハードワイアードロジックで構成された乗算回路の構成が異なる。光ディスクと DVD-ROM の双方の誤り訂正に適用可能な L S I を提供しようとするれば、それぞれの規格に準拠した専用ハードワイアードロジックの演算回路が必要となり、コストの増大を招くという課題が生まれる。

前記第 1 の公知例は、光ディスクの誤り訂正の一部の処理をプロセッサ形式のハードウェアで行っているが、残りの処理が専用ハードウェアで処理されているため、汎用性は失われている。すなわち、ガロア体の数と演算を定義する原始多項式の異なる符号語の誤り訂正には対応できない。また、データの受信速度が想定したよりも高くなると、L S I の大部分を再設計しなければならない。プロセッサで対応していたステップ 2、4 の処理の一部をハードウェア処理に変更せざるを得なくなるためである。このため、開発コストの増大を招く点で、ハードワイアードのカスタム L S I と大きな違いがない。

性能向上のために S I M D 型並列プロセッサを導入し、前記第 2 の公

知例に開示された技術を用いても、条件分岐を効率良く処理できないという、別の課題が発生する。一例とし、並列処理を行っているある2個の演算ユニットにおいて、実行しているプログラムに、演算結果に依存した条件分岐がある場合を考える。第24図のフローチャートで示すように、処理Aを実行した結果、所定の条件を満足した場合は処理Bを実行した後に処理Cを実行し、満足しなかった場合は処理Bを実行しないで処理Cを実行するように指定されていると仮定する。実際に、誤り訂正のプログラムには、演算結果に依存した条件分岐が多数必要とされている。前記第2の公知例を用いて、第24図に示されるプログラムを実行する場合、処理Bの全ての命令を条件付き演算命令で記述する。今、一方の演算ユニットの演算結果が分岐の条件を満足し、他方が満足しなかった場合、第25図の(a)に示すように、前者の演算ユニット(PE0)で処理Bが実行されている間、後者の演算ユニット(PE1)は出力レジスタを保持している。処理Bが完了した後、2個の演算ユニットが並列して処理Cを開始する。第25図の(b)に示すように、2個の演算ユニット(PE0, PE1)で共に条件を満足しなかった場合、どちらの演算ユニットも処理Bを実行しないでよいが、命令が条件付き演算命令で記述されているので、処理Bの実行サイクル数だけ何も演算が行われないサイクルが繰り返される。これは演算ユニットの数が2個以上の場合でも同様で、全ての演算ユニットで条件を満足しない場合、処理Bのサイクル数分が無駄に消費される。以上のように、第2の公知例で開示された並列処理技術を用いても、処理性能を十分に向上させることができないという課題がある。

本発明の目的は、SIMD形式による並列演算処理性能を向上させることができるデータ処理装置を提供することにある。

本発明の別の目的は、符号語に対する誤り訂正処理速度を向上させる

ことができるデータ処理装置を提供することにある。

本発明の更に別の目的は、広範囲の誤り訂正符号に対応でき、且つ、性能向上に対して簡単な設計変更で対応できるデータ処理装置を提供することにある。

- 5 本発明のその他の目的は、誤り訂正処理の観点から蓄積系におけるデータ読み出し速度の高速化や通信系における高速データ伝送に対応できるデータ処理システムを提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は本明細書の以下の記述から明らかにされるであろう。

10

発明の開示

- 本発明に係るSIMD形式のデータ処理装置は、フェッチした命令を解読して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部によってデータ転送制御される複数個のデータ処理部とを有する。前記夫々のデータ処理部は、前記
- 15 制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段を有し、夫々のデータ処理部を待機状態から活性状態に復帰させる制御は、前記制御部が行う。

- このように、複数個設けられたデータ処理部は、個々の演算結果に基づいて待機状態となり、待機状態から活性状態への復帰を制御部が行って、分岐処理を実現することができる。したがって、待機状態が少なくなるように、制御部での分岐処理を実現すれば、データ処理部の待機状態による無駄なサイクルを最小限に抑えることが容易であり、SIMD形式による並列演算処理性能を向上させることができる。
- 20

- 25 前記制御部は、夫々のデータ処理部が待機状態であるか否かを検出する検出手段と、前記検出手段による検出結果に応じてデータ処理部を

待機状態から活性状態に復帰させる論理手段とを含む。例えば、全てのデータ処理部が待機状態になって無駄なサイクルを生じないように、制御部は、各々のデータ処理部の動作状態を監視し、制御する。すなわち、前記論理手段は、全てのデータ処理部が待機状態にあるとき、前記

5 制御部による命令実行順序を変更すると共に、待機状態にあるデータ処理部を待機状態から活性状態に復帰させる。

前記待機制御手段は、データ処理部による演算動作の結果が特定の状態になったか否かを判定する判定手段と、前記判定手段による前記特定状態の検出に同期してセット状態にされ、前記制御部からの特定の制御情報によってリセット状態にされる待機レジスタと、前記待機レジスタのセット状態に応答してデータ処理部による演算動作を停止させる手段とを含んで構成することができる。

10

前記演算動作を停止させる手段は、前記制御部から供給される制御情報が内部回路に伝達されるのを選択的に抑止するように構成することができる。前記演算動作を停止させる手段を更に簡単に構成するには、クロック信号に同期して演算動作を行う回路部分へのクロック信号の供給を選択的に停止させる回路を採用することができる。

15

前記データ処理部には、ガロア体の乗算回路と加算回路を含め、前記制御部には、前記ガロア体の乗算回路と加算回路を制御するための演算命令として、ガロア体乗算命令、ガロア体加算命令、及びガロア体積和演算命令を少なくとも実行させ、データ処理装置を半導体集積回路化して構成することができる。

20

ガロア体上で定義された符号の誤り訂正を行うプログラムを格納したプログラムメモリを更に有する上記データ処理装置において、前記制御部は前記プログラムメモリから命令をフェッチし、前記データ処理部を用いて誤り訂正処理を行うことができる。

25

符号の誤り訂正処理を行うのに SIMD 型並列プロセッサを導入したことによって、メディアの要求する処理速度の向上に対して、基本的なアーキテクチャやプログラムの変更なしに、データ処理部の数を増加して並列度を高めるだけで、容易に対応ができる。異なった規格の符号
5 に対しては、プログラムの変更で対処可能で、複数の規格の誤り訂正を想定するようなシステムにも容易に対応できる。

本発明の別の観点による SIMD 形式のデータ処理装置は、フェッチした命令を解釈して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部によってデータ転
10 送制御される複数のデータ処理部と、前記制御部によってアクセスされる記憶手段とを有し、前記夫々のデータ処理部は、第 1 の演算回路と、前記第 1 の演算回路に接続されたバッファ手段と、前記バッファ手段のアドレスを変更可能に指定する複数のポインタ手段とを含み、前記
15 夫々のデータ処理部のバッファ手段はデータバスを介して前記記憶手段に接続されて成る。

データ処理部毎に設けられたバッファ手段は、演算途中データなどを一時的に格納するワーク領域などとして用いられる。したがって、並列動作される各バッファ手段は、前記記憶手段をワーク領域に兼用する場合に比べて、データ転送に起因するオーバーヘッドを抑えることができ、
20 並列演算処理性能を向上させることができる。

また、前記バッファ手段に対するアドレッシングを複数のポインタ手段を介して行なうから、前記制御部において、バッファ手段をアクセス制御するための命令記述に含まれる、オペランド指定フィールドのビット数を減らすことができる。例えば、 $A + B$ を C に代入する加算演算を
25 1 個の命令で指定するとき、 A 、 B のソースアドレスと C のディスティネーションアドレスとをオペランド指定フィールドに記述しなければ

ならない。このとき、オペランド指定フィールドに、前記ポインタ手段の識別情報を記述して利用すれば、命令にバッファ手段のアドレスを直接記述するのに比べ、オペランド指定フィールドのビット数を少なくすることができる。これにより、高機能な演算処理を1命令で定義するとき、命令語長の縮小に寄与することができる。

前記ポインタ手段に対するアドレス情報の設定は、制御部がロード命令などを実行して行なえばよい。更に、夫々のデータ処理部は、前記制御部によりポインタ手段に設定されたアドレス情報の更新に用いられる第2の演算手段を更に含むことができる。これにより、制御部からデータ処理部へのデータ転送回数を減らすことができる。

前記制御部は、前記データ処理部での並列的な演算を規定する演算命令と、前記データ処理部に対するデータ転送を規定するデータ転送命令とを実行する命令実行手段を含むことができる。前記命令実行手段は、前記演算命令とデータ転送命令とを並列的に実行することができる。すなわち、データ処理装置は、演算命令と、データ転送命令とを組み合わせた複合命令をサポートする。SIMD形式の並列演算処理では、演算能力に比べてデータ転送能力が不足する場合が想定されるので、これに対処することができる。

同様に、SIMD形式のデータ処理装置におけるデータ転送能力を補うために、前記命令実行手段には、前記演算命令に含まれる単一の命令であって、前記ポインタ手段で指定されバッファ手段から取得したデータを演算し、演算結果を前記ポインタ手段とは別のポインタ手段で指定されたバッファ手段に格納すると共に、前記ポインタの内容を更新する操作を指示する命令を、演算命令の一つとして実行させることができる。

前記命令実行手段は更に、前記制御部内部でデータを操作する命令、及び前記制御部がフェッチする命令を分岐させる分岐命令を更に実行

可能にすることができる。

前記バッファ手段を特徴とするS I M D形式のデータ処理装置に対しても、先に説明した待機制御の各種手段を採用することができる。

本発明の更に別の観点によるS I M D形式のデータ処理装置は、前述
5 の待機状態制御のために前記制御部が実行する命令に着目するものである。すなわち、データ処理装置は、前述の制御部と、複数のデータ処理部とを含み、前記夫々のデータ処理部は、前記待機制御手段を有し、前記制御部は、データ処理部が待機状態であるか否かを参照する手段を有し、その参照結果にしたがってデータ処理部を待機状態から活性状態
10 に復帰させる。このとき、前記制御部は、前記データ処理部を待機状態にする条件をデータ処理部に設定すると共に、設定した時に当該設定された条件が成立するデータ処理部を待機状態にさせる命令を実行することができる。また、前記制御部は、前記データ処理部を待機状態にする条件をデータ処理部に設定すると共に、前記条件設定の後の命令実行
15 サイクルにおいて当該設定された条件が成立するデータ処理部を待機状態にさせる命令を実行することができる。更に、前記制御部は、前記複数のデータ処理部を個々に待機状態にし又は待機状態から活性状態に復帰させる指示を与えるを命令を実行することができる。

本発明の他の観点によるS I M D形式のデータ処理装置は、並列演算
20 処理による繰り返し処理の効率化を企図したものである。すなわち、データ処理装置は、前述の制御部と、複数のデータ処理部と、前記制御部によってアクセスされる記憶手段とを有し、前記夫々のデータ処理部は、前記制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段を有し、当該待機制御手段は、前記制御部から
25 の指示に従って前記データ処理部の内部を待機状態から活性状態に復帰させる。このとき、前記制御部は、夫々のデータ処理部が待機状態で

あるか否かを検出する検出手段と、前記検出手段による検出結果に応じてデータ処理部を待機状態から活性状態に復帰させる論理手段とを含み、更に、繰り返しループの開始アドレス、繰り返しループの終了アドレス及び繰り返しループの繰り返し回数を指定するリピート命令を実行したとき前記開始アドレスから終了アドレスの命令に従って前記データ処理部を、最大限前記設定された繰り返し回数だけ並列演算動作させる。

前記リピート命令は、繰り返しループの開始アドレス、繰り返しループの終了アドレス、繰り返しループの繰り返し回数及び繰り返しループを強制終了する条件を指定する命令とすることができる。制御部は、当該リピート命令を実行したとき、前記強制終了条件が成立しない限り前記開始アドレスから終了アドレスの命令に従って前記データ処理部を繰り返し並列演算動作させる。このリピート命令において、全てのデータ処理部の待機状態を前記繰り返しループの強制終了条件として設定することができる。また、そのリピート命令において、少なくとも1個のデータ処理部の待機状態を前記繰り返しループの強制終了条件として設定することができる。

前記リピート命令をサポートするデータ処理装置において、前記データ処理部には、ガロア体の乗算回路と加算回路とを含め、前記制御部には、前記ガロア体の乗算回路と加算回路を制御するための演算命令として、ガロア体乗算命令、ガロア体加算命令、及びガロア体積和演算命令を少なくとも実行させることができる。

ガロア体上で定義された符号の誤り訂正を行うプログラムを格納したプログラムメモリを更に有するデータ処理装置において、前記制御部は前記プログラムメモリから命令をフェッチし、前記データ処理部を用いて誤り訂正処理を行うように構成することができる。

前記誤り訂正処理では、ガロア体の数によって定義された符号データのシンδροーム演算処理、シンδροーム演算処理によって得られたシンδροームを用いた誤り有無の判定処理、及び誤りが判定されたシンδροームを前記記憶手段に格納する処理を複数回繰り返し、その後、前記

5 格納されたシンδροームを記憶手段から読み出して誤り訂正演算処理を行うようにすることができる。この処理手順に反して、シンδροーム演算、誤り有無の判定、及び誤り訂正演算処理を一つの繰り返しループとして並列演算処理を行なった場合、一部のデータ処理部において誤りがない場合には、当該データ処理部は、その一つのループ処理が完了するまで待機状態を維持しなければならず、無駄なサイクルが頻発することも予想される。これに対し、本発明の上記処理手順は、誤りを生じているときは、そのシンδροームを格納し、格納したシンδροームがある程度たまったところで、複数のシンδροームに対して前記訂正演算処理を纏めて行なう。したがって、データ処理部の待機状態を全体として短く

10 することが可能になり、待機状態による無駄なサイクルを減らすことができる。但し、誤りの判定されたシンδροームを格納する処理が増えるから、逆に処理量は増えてしまう場合があることに注意しなければならない。すなわち、シンδροームを格納する処理が実行されるか否かは、上記のように誤りが生じているかどうかで決まる。そのため、誤りが多

15 くなれば、シンδροームの格納処理が多くなり、処理量が増加してしまうことがある。

前記データ処理装置を適用したデータ処理システムは、例えばガロア体の数を用いて定義された符号データの入力手段と、前記データ処理装置と、データの出力手段とを含み、前記データ処理装置は、そのプログ

20 ラムメモリに格納されたプログラムに基づいて、前記入力手段から入力された符号データの誤り訂正を行うものである。これにより、誤り訂正

処理の観点などから蓄積系におけるデータ読み出し速度の高速化や通信系における高速データ伝送に対応できる。また、前記データ処理装置に含まれる制御部には、前記入力手段及び出力手段による入出力制御と、符号データの誤り訂正処理とを時分割で実行させることも可能である。

5

図面の簡単な説明

第1図は本発明の第1の実施例に係るSIMD型並列プロセッサのブロック図、

10

第2図は本発明の第2の実施例に係るSIMD型並列プロセッサのブロック図、

第3図は本発明の第3の実施例に係るSIMD型並列プロセッサのブロック図、

第4図は本発明の第4の実施例に係るSIMD型並列プロセッサのブロック図、

15

第5図はリードソロモン符号の誤り訂正の代表的な処理手順を示すフローチャート、

第6図は符号の誤り訂正を本発明のSIMD型並列プロセッサで行う処理手順の一例を示すフローチャート、

20

第7図は符号の誤り訂正を本発明のSIMD型並列プロセッサで行うより効率的な処理手順の一例を示すフローチャート、

第8図は条件判定部の一例を示す論理回路図、

第9図はマスク付き比較器の一例を示す論理回路図、

第10図はデータ処理部の一例を示すブロック図、

25

第11図は第10図のデータ処理部においてクロック信号の供給を停止させて待機状態を実現するようにしたデータ処理部の一例を示すブロック図、

第 1 2 図は誤り訂正処理に好適なデータ処理部の詳細な一例を示すブロック図、

第 1 3 図は本発明に係るデータ処理装置の特殊制御命令の説明図、

第 1 4 図は本発明に係るデータ処理装置のデータ転送命令の説明図、

5 第 1 5 図は本発明に係るデータ処理装置の S I M D 命令の説明図、

第 1 6 図は一般 R I S C 命令、そしてデータ転送命令と S I M D 命令を組み合わせた複合命令の全ての命令コードの構成を示す説明図、

第 1 7 図はデータ転送命令の命令コードの一例を示す説明図、

第 1 8 図は S I M D 命令の命令コードの一例を示す説明図、

10 第 1 9 図はデータ設定命令を用いてデータ処理部を待機状態にするための構成を説明するための S I M D 型並列プロセッサのブロック図、

第 2 0 図は”setPENOP=1 if”を実行した場合の一例動作タイミングチャート、

15 第 2 1 図は”setPENOP=1 when”を実行した場合の一例動作タイミングチャート、

第 2 2 図は第 1 3 図乃至第 1 5 図に示された命令セットを用いて作成したプログラムの一例を示す説明図、

第 2 3 図は S I M D 型並列プロセッサを適用した DVD/CD-ROM システムの一例ブロック図、

20 第 2 4 図は一般的な条件分岐処理を示すフローチャート、

第 2 5 図は本発明者が先に検討した S I M D 型並列プロセッサによる条件分岐処理の一例を示すフローチャートである。

発明を実施するための最良の形態

25 第 1 図には本発明の第 1 の実施例に係る S I M D 型並列プロセッサのブロック図が示される。同図に示される S I M D 型並列プロセッサは、

第1及び第2のメモリ801,802、バスインターフェース（バスI/F）901を介して接続された周辺回路900、制御部200、及び複数個並列接続されたデータ処理部101,102,...10nを含んで構成される。同図に示されるCDB, CABはコモンデータバス, コモンアドレスバスである。LDB, LABはローカルデータバス, ローカルアドレスバスである。同図に示されるSIMD型並列プロセッサは、周辺回路を除いて、若しくは周辺回路の全部又は一部を含んで、1個の半導体基板に形成することができる。なお、上記メモリ、特に第1のメモリの一部又は全部は、上記1個の半導体基板に形成されない場合もある。

第1のメモリ801は制御部200がフェッチして実行すべきプログラムやデータを格納するのに用いられる。制御部200は第1のメモリ801にアドレスを供給して、命令もしくはデータを読み出し、あるいは書き込みを行う。第2のメモリ802はデータ格納用とされ、制御部200によって演算制御されたデータ処理部101,102,...10n等との間でデータの出入力が行われ、演算対象データをデータ処理部101,102,...10nに供給し、また、演算途中結果などを格納するのに用いられる。第2のメモリ802は制御部200からもアクセス可能である。第2のメモリ802にプログラムを格納しておき、バスを介して制御部200に転送してもよい。本実施例に限らず、本発明で開示する全ての実施例において、第1のメモリ801と第2のメモリ802は共通のアドレス空間の異なったアドレス領域に割り付けられていると、プログラムとデータのアクセスが同様に行えるので好ましい。

制御部200は、プログラムカウンタ（PC）202、命令解読部201、及びデータ演算部203から成り、データ演算部203によるデータ演算結果を判定してフラグ204を設定できるように構成されている。プログラムカウンタ202の値を第1のメモリ801に対してアドレスとして出力

することにより、命令を取り込む。取り込まれた命令は命令解読部 201 で解読され、その処理結果に応じてデータ処理部 101,102,...10n に対する制御信号が発行される。また、命令解読部 201 から出力される制御信号により、データ演算部 203 は、命令に応じたプログラムカウンタ 202 の更新、メモリアクセスとデータ演算を行う。第 2 のメモリ 802 のアドレスには制御部 200 のデータ演算部 203 による演算の結果が用いられる。

制御部 200 のデータ演算部 203 は、プログラムループの制御、並列演算に適さない演算、メモリのアドレス演算などを行っており、演算結果をフラグ 204 を介して命令解読部 201 にフィードバックしてプログラムフローの制御を行っている。また、データ処理部 101,102,...10n の演算経過と結果を命令解読部 201 にフィードバックすることもできる。

データ処理部 101,102,...10n は、全て同一の構成を有しており、制御部 200 から同じ制御信号が供給され、原則として同じ動作をする。データは主に第 2 のメモリ 802 から供給されるが、第 1 のメモリ 801、バスインタフェース回路 901 を介して周辺回路 900 から、また、制御部 200 のデータ演算回路 203 からも転送できる。また、データ処理部 101,102,...10n から、逆に第 1 のメモリ 801 又は第 2 のメモリ 802、周辺回路 900、制御部 200 のデータ演算回路 203 へもデータ転送が可能である。データ処理部 101,102,...10n が例えば 4 個並列に接続され、夫々が扱うデータを 8 ビットと仮定すると、メモリは 32 ビットのデータを一括して読み出すことができるように構成されており、8 ビット毎のデータをデータ処理部 101,102,...10n に一括して供給することができる。

前記夫々のデータ処理部 101,102,...10n は、制御部 200 からの前記制御情報（制御信号/命令）に従った演算部 161,162,...16n による演算結果に応じてデータ処理部 101,102,...10n を待機状態にする待機制御

手段として、例えば判定部 111,112,...11n、待機レジスタ 121,122,...12n、待機／活性切換え部 (enb/dis) 131,132,...13n を有する。当該待機制御手段は、前記制御部 200 からの指示に従って前記データ処理部 101,102,...10n の内部を待機状態から活性状態に復帰させる。第 1 図において、前記待機制御手段は、データ処理部 101,102,...10n による演算結果が特定の状態になったか否かを判定する判定部 111(112,...11n)と、前記判定部による前記特定の状態の検出に同期してセット状態 (第 1 の状態) にされ、前記制御部 200 からの特定の制御情報によってリセット状態 (第 2 の状態) にされる待機レジスタ 121(122,...12n)と、前記待機レジスタのセット状態に呼応してデータ処理部 101(102,...10n)による演算動作を停止させる待機／活性切換え部 131(132,...13n)とによって構成される。

これによりデータ処理部 101,102,...10n は、それぞれの演算結果に応じて独自に待機状態に入ることができる。待機状態では、制御部 200 からの制御信号を無視して一切の演算が行われない。このとき、無駄な電力を消費しないようにユニット内へのクロック信号の供給を停止することが望ましい。

待機／活性の状態を示す情報は、各々のデータ処理部 101,102,...10n において、待機レジスタ 121,122,...12n で保持されている。この待機レジスタ 121,122,...12n の内容は制御部 200 から夫々独立に読み出し、セット／リセットができる。制御部 200 ではレジスタ 121,122,...12n の状態を監視することによって、プログラムフローに無駄が生じないように制御することができる。

第 2 図には本発明の第 2 の実施例に係る SIMD 型並列プロセッサが示される。第 1 図に示されるものと同一機能を有する回路ブロックにはそれらと同じ参照符号を付してある。SIMD 型並列プロセッサでは、

データ処理部を並列動作させることによって演算能力が高められている一方、データの転送速度がプロセッサの処理性能を律速する問題がしばしば発生する。例えば、夫々のデータ処理部 101, 102, ... 10n における演算途中結果をその都度メモリ 802 に格納する場合、メモリ 802 の並列データ入出力ビット数が全てのデータ処理部 101, 102, ... 10n に対して並列的にデータ入出力を行なえるビット数でなければ、メモリアクセスを複数回に分けなければならない。必要な並列データ入出力ビット数が全体として少ない場合は全てのデータ処理部に対して一括してデータ入出力を行なうことが可能であるが、演算処理単位のデータビット数が 64 ビットなどのように多い場合、或いはデータ処理部の数が多い場合には、メモリ 802 と全てのデータ処理部 101, 102, ... 10n との間での一括的な並列データ入出力は実質的に不可能になる。これを解決するために、本実施例では、各々のデータ処理部 101, 102, ... 10n に複数ワード（データ処理単位とされるデータビット数）のデータを記憶する記憶手段 141, 142, ... 14n を設ける。

データ記憶手段 141, 142, ... 14n は、個々のデータ処理部の所謂ワーク領域として利用され、通常のアプリケーションでは数十ワード必要であるが、これを 1 ワード毎に独立に命令語で指定しようとする、1 ワード当り 5 から 7 ビットの命令コードが必要になる。本実施例においては、記憶手段 141, 142, ... 14n の記憶領域をワード単位で指定するポインタ 151, 152, ... 15n を複数個設け、ポインタ 151, 152, ... 15n で指定されたワードを命令のオペランドとして用いる。この場合、ポインタの数が 4 個までならば、命令コードは 2 ビットで指定できる。更に好適な実施例によれば、ポインタ 151, 152, ... 15n の値は演算命令、データ転送命令などと同時に更新されるように設計されている。ポインタ 151, 152, ... 15n 毎にインクリメンタ／デクリメンタを設け、命令から

ポインタ 151,152,...15n の更新を指示する制御を加える。データ記憶手段 141,142,...14n のワード数、ポインタ 151,152,...15n の数は、SIMD型並列プロセッサの適用範囲、命令コード、回路規模、処理性能を勘案して最適な数値を選定すればよく、ここで示した数値は一例に過ぎない。

ポインタ 151,152,...15n の値を更新する際に、上限値と下限値を設け、その範囲を越えないように、自動的にその範囲内でポインタの値を更新する手段を備えれば、いくつかのデータを繰り返し用いる演算が容易になる。このような演算の例として、デジタルフィルタがある。入力データとフィルタの係数を本実施例の記憶手段 141,142,...14n に格納しておきこの範囲を越えないように制御することによって、デジタルフィルタのプログラムにおいて、データと係数の格納されているアドレスを外れたアクセスがなくなり、ポインタ値を監視する処理を、制御部 200 で実行するソフトウェアに記述する必要がなくなる。

更に好適な実施例においては、ポインタ 151,152,...15n の値が所定の値に達した場合にそれを検知する機構を設けてある。ポインタ 151,152,...15n の終了値を保持するレジスタを設け、ポインタ 151,152,...15n の値が更新される度に終了値との比較を行い、比較結果をフラグ 204 に反映する。

第3図には本発明の第3の実施例に係るSIMD型並列プロセッサが示される。本実施例は、第1の実施例と第2の実施例を組み合わせたものであり、第1図及び第2図に示されるたものと同一機能を有する回路ブロックにはそれと同じ参照符号を付してある。第2の実施例の説明で開示したようにポインタ 151,152,...15n の値が終了値に達した場合など、ポインタ 151,152,...15n の値の更新結果も待機状態への移行の条件に加えた判定部 171,172,...17n が採用されている。これは、記憶

手段 141,142,...14n に格納されていて、それぞれに格納されているデータ総数が相違し若しくは分からないデータ群の全てに対する処理が完了するまで、処理を行う場合に好適である。すなわち、データ群のデータの数が、データ処理部 101,102,...10n 毎に相異なる場合、処理が
5 完了したデータ処理部から順次待機状態になっていくので、並列性を保ったままで処理を行うことができる。

第 4 図には前記第 3 の実施例の更に好適な実施形態である、第 4 の実施例に係る SIMD 型並列プロセッサが示されている。本実施例においては、各データ処理部 101,102,...10n の待機状態を判定するための条件判定部 206 が制御部 200 に明示され、また、制御部 200 は、前記条件判定部 206 の判定結果を利用するリビート制御部 205 を有する。その余
10 の構成は、第 3 図の実施例と同じである。

前記夫々のデータ処理部 101,102,...10n の待機状態は、信号 PENOPEA によって前記条件判定部 206 が監視する。各データ処理部
15 101,102,...10n の待機状態が所定の状態になったとき、その状態を示す情報がフラグ 204 に反映され、また、リビート制御部 205 に与えられる。

前記リビート制御回路 205 は、プログラムの繰り返し開始アドレスと繰り返し終了アドレス、繰り返し回数を保持するハードウェアを備えて
20 いて、これらに値を与えるリビート命令が発行されると、繰り返しのためのオーバーヘッドなしにリビートループを実行する。例えば、リビート制御部 205 は、夫々図示を省略するが、繰り返しループの開始アドレスを格納するレジスタと、終了アドレスを格納するレジスタと、繰り返し回数を格納するレジスタと、繰り返し回数を計数する計数手段とを備え、
25 プログラムカウンタ 202 を介して開始アドレスから終了アドレスの命令を実行させる繰り返しループ（リビートループ）を形成する。リビ

ートループの繰り返し回数は、設定された繰り返し回数によって規定される。また、繰り返しループ処理の強制終了条件が指定されている場合には、その条件が成立することによってリピートループが強制終了される。強制終了条件の一つとして、前記データ処理部 101, 102, ... 10n の
5 待機状態が予め設定された条件を満たすかどうかの前記条件判定部 206 での検出結果を利用することができる。

このように、個々のデータ処理部 101, 102, ... 10n の待機状態を監視する信号線 PENOPEA が、所定の状態になった場合、その事象を制御部 200 のフラグ 204 に反映してそのフラグ 204 に従った条件分岐を実行で
10 き、また、上記のリピートループを強制終了させることができる。更に、データ処理部 101, 102, ... 10n が並列演算処理を実行しているとき、処理が完了したデータ処理部から順次待機状態とすることができ、データ処理部 101, 102, ... 10n が待機状態になった場合に、制御部 200 がそれ
15 を検知し、プログラムの分岐、若しくはリピートループの強制終了を行えるので、処理ステップに無駄が生じないという効果がある。

以上第 1 乃至第 4 の実施例で開示した構成のデータ処理装置は、データ処理部 101, 102, ... 10n にガロア体演算器を備えることにより、誤り訂正符号、特にリードソロモン符号の誤り訂正処理に最適となる。

以下、上記第 4 実施例に係るデータ処理装置を、リードソロモン符号
20 の誤り訂正に最適化した実施例について更に詳述する。

先ず、リードソロモン符号の誤り訂正の代表的な処理フローを第 5 図に基づいて説明する。第 5 図において、長円は処理内容を示し、長方形は出力データを示す。誤り訂正の処理フローは、データ転送 1001、シンドローム計算 1002、誤りの有無判定 1003、ユークリッド互除法 1004、
25 チェンサーチ 1005、誤り数値計算 1006、訂正 1007 からなる。データ転送 1001 は、前記第 1 のメモリ 801 から第 2 のメモリ 802 へのデータ転

- 送で、データをSIMD型の並列処理に適した形式で第2のメモリ802に配列する。勿論、別の方法として入出力装置からデータ処理部101,102,...10nにデータ転送することも可能である。シンドローム計算1002は、一連の受信符号(r_0 から r_{255})2001を入力とし、シ
- 5 シンドローム多項式の係数2002を算出する。ここで、一連の受信符号($r_0 \sim r_{255}$)は例えば256バイトのデータであり、符号化されたデータとそれに対応されるパリティ情報とから成る。シンドローム計算は前記一連の受信符号($r_0 \sim r_{255}$)単位で行われる。シンドローム多項式の係数2002が、全てゼロであれば受信符号に誤りがないことが分かる。誤りがないことが分かった場合は以下の処理を省略して終了し、誤りがあることが分かった場合は、訂正処理を始める。最初にユークリッド互除法1004により、シンドローム多項式2002から誤り位置多項式2003と誤り数値多項式2004を算出する。誤り位置多項式2003の根を、チェンサーチ1005で求めることによって誤りの位置2005が求め
- 10 られる。このとき、誤りの位置2005が実際にあり得ないような値で求められた場合には、符号の訂正能力を上回る誤りが発生していることが分かる。このときは、訂正不能であることを出力し、以下の処理を省略して終了する。誤りの位置が適切に求められた場合には、それを基にして、誤りの数値2006を計算し、訂正1007を行って処理を終了する。
- 15 誤り訂正処理では、一連の受信符号と別の受信符号の間に誤り訂正の過程で全く相互関係がなく、したがってデータのやり取りを行う必要がないため、SIMD型の並列処理に極めて適している。ガロア体演算器を備えた一つのデータ処理部で一連の受信符号の訂正を実施するのが最も効率が良い。本実施例において、データ処理部がn個並列に接続さ
- 20 れているとすると、n個の受信符号系列が同時並行に処理される。

SIMD型の並列プロセッサ構成を採った最大の効果は、データ処理

部の数を変えることによって、プログラムの変更なしに処理性能を変更することができることである。プログラムは符号の規格が変更にならないかぎり同じでよく、高速アクセスに対してはデータ処理部の数を増やすことで対応できるので、設計変更が極めて容易である。

5 ここで一例として、4個のデータ処理部 101,102,103,104 を用いて、4個の受信符号系列 2001 を並列に処理する場合の処理フローを第6図及び第7図に模式的に示す。第6図及び第7図において、GPE0(101)から GPE3(104)は並列の4個のデータ処理部を示し、縦方向に時間の経過と共に、各々のデータ処理部 101,102,103,104 で実行される処理を示してある。

10 第6図においては、4個入力される受信符号系列 2001 のうち1個でも誤りが検出されれば、誤りの検出されなかったデータ処理部を待機状態 1099 にして、訂正までの処理を実行する。第6図は、GPE0(101)に入力された受信符号系列 2001 には訂正できる範囲内の誤りが発生し、
15 GPE1(102)に入力された受信符号系列 2001 には訂正できる範囲を越えた誤りが発生し、GPE2(103)及び GPE3(104)に入力された受信符号系列 2001 には誤りが発生しなかった場合を一例としている。データ転送 1001、シンδροーム計算 1002、誤り有無の判定 1003、までは全てのデータ処理部 101,102,103,104 を無条件に並列動作させる。この例では、
20 誤りがあることが分かった GPE0(101)と GPE1(102)では、後続の誤り訂正処理が行われる、一方、GPE2(103)と GPE3(104)で誤りがなかったことが検出されるので、GPE2(103)と GPE3(104)はその間、待機状態 1099 になる。ユークリッド互除法 1004、誤り数値計算処理 1006 の結果、符号の訂正能力を越えた誤りが発生していることが判明した GPE1(102)は、
25 以後の誤り数値計算 1006、訂正 1007 の間、待機状態 1099 になって GPE0(101)の処理が終了するのを待つ。

この場合、すべてのデータ処理部 101,102,103,104 で誤りがないことが検出されれば、誤り訂正処理を行わないで、次の一連の受信符号語 2001 の処理に移行できるので、不要な処理ステップの浪費を回避できる。しかし、4 個のデータ処理部 101,102,103,104 で同時に処理される
5 4 個の受信符号系列 2001 のうち 1 個でも誤りがあれば、実際に誤り訂正を行う 1 個のデータ処理部以外の 3 個のデータ処理部は、ユークリッド互除法 1004 以後の処理全てで待機状態 1099 になって、誤り訂正処理の完了を待つことになる。これでは、並列に設けたデータ処理部 101,102,103,104 を、有効に利用しているとはいえない。データ処理部
10 の数を増やすにつれて、全てのデータ処理部で誤りが検出されない確率は低下し、処理の効率は低くなる。

これを回避する方法として、第 7 図に示す処理フローが有効である。この場合も最初は、4 個の受信符号系列 2001 を 4 個のデータ処理部 101,102,103,104 に読み込んで(1001)、シンδροーム計算 1002 と誤り
15 有無の判定 1003 を行うところまでは、第 6 図に示した処理フローと同様である。誤りがあることが判明した GPE0(101)と GPE1(102)では算出されたシンδροーム 2002 をメモリ 802 に格納し、その際、誤りのないことが判明した GPE2(103)と GPE3(104)は待機状態 1099 になってその処理の終了を待つ。処理フローは先頭のデータ転送に戻って、次の 4 個の
20 受信符号系列 2001 を 4 個のデータ処理部 101,102,103,104 に読み込み 1001、さらにシンδροーム計算 1002 と誤り有無の判定 1003 を行って、同様に誤りの検出された受信符号系列 2001 のシンδροーム 2002 のみをメモリ 802 に格納 1008 する。これをある程度のまとまった数の受信符号系列 2001 に対して行った後、誤りの検出された受信符号系列 2001 に
25 ついてのみ、メモリ 802 に格納しておいたシンδροーム 2002 を読み込んで(1009)、以降の誤り訂正処理を行う。この場合も、誤りの数が符号

の訂正能力を越えた場合は訂正不能であるので、誤り数値計算 1006 を行わず、待機状態 1099 になる。第 7 図に示した例では、誤りの検出された受信符号系列 2001 のシンδροーム 2002 を、一旦メモリ 802 に格納して(1008)、再度読み出す処理(1009)が、第 6 図に示した例に比べて余分に必要になる。一般に、誤りの発生する頻度が高い場合は第 6 図に示した処理フローが効率的であり、誤りの発生する頻度が低い場合は第 7 図に示した処理フローが効率的である。誤りの発生する頻度と、誤り訂正に要する処理ステップ数とシンδροームを一旦メモリに格納するのに要する処理ステップ数との関係から、どちらの処理フローがより効率的か定量的に判断できる。

特に実用の誤り訂正の場合には、誤りの発生する頻度の平均値は、想定される最も多くの誤りが発生する頻度よりも、極端に低い。受信符号が 2 5 6 バイトでそのうちの 8 個以下の誤りを訂正する場合には、シンδροームは 1 6 バイト必要となる。誤りの発生する確率は、典型的な例で 1, 0 0 0 分の 1 であるので、平均的に約 4 個の符号語に 1 語の誤りが発生することになる。1 0 0 個の受信符号語 = 2 5, 6 0 0 バイトの訂正を行う場合、訂正処理が 1 0, 0 0 0 ステップで完了すると仮定すれば、第 6 図に示した処理フローによれば、 $1 0, 0 0 0 \times 1 0 0 \div 4 = 2 5 0, 0 0 0$ ステップになる。一方、第 7 図の処理フローにしたがって誤り訂正を行った場合の処理ステップ数を見積る。誤りの発生する確率を 1, 0 0 0 分の 1、シンδροーム計算を行って誤りの有無を判定するまでに 2, 0 0 0 ステップ、シンδροームの値の格納、再読み出しにそれぞれ 1 6 ステップかかると仮定する。このとき、1 0 0 個の受信符号語 = 2 5, 6 0 0 バイトの 1, 0 0 0 分の 1 に誤りが発生しているので、誤りは平均 2 5. 6 バイト、したがって 1 0 0 語の受信符号語のうち 2 0 語程度に誤りが発生している。1 0 0 個の受信符号語のシンド

ローム計算に $2,000 \times 100 \div 4 = 50,000$ ステップ、誤りの発生した 20 語のシンδροームを一旦メモリに格納し、全ての符号語の誤り検出が完了した後、メモリから再読み出しすると、 $16 \times 2 \times 20 = 640$ ステップ、20 語の誤り訂正に $8,000 \times 20 \div 4 = 40,000$ ステップ、合計 90,640 ステップとなる。第 6 図に示した処理フローの場合の半分以下で処理が完了することになる。誤りの発生率がより低い場合、また、データ処理部の数を増やして並列度を増した場合は、第 7 図の処理フローを採用した方が処理ステップ数の低減効果はより顕著になる。

10 以上のように、第 7 図に示した処理フローによれば、極めて効率的に、すなわち極めて少ない実行ステップ数で、誤り訂正を実行できる。そのような第 7 図の処理手順を実現するためのプログラムは前記メモリ 801 に格納されている。SIMD 型プロセッサの制御プログラムは、外付けメモリに格納することも可能である。

15 第 7 図に示したような処理には、前記繰り返しループの制御を適用することができる。すなわち、データ転送(1001)からシンδροーム格納(1008)までの処理を複数回繰り返し、その後で、シンδροームの読み込み処理(1009)に分岐する。

20 ここで、本発明の第 4 の実施例で説明した繰り返しループの制御方法を更に詳細に説明する。第 5 図に示した誤り訂正の処理フローにおける個々の処理は、一般の信号処理がそうであるように、繰り返しループを多く含んでいる。

25 繰り返しループは、制御するハードウェアの観点から 2 種類に分類される。一つは制御部のデータ演算部に備えた汎用レジスタをカウンタに見立てて、ソフトウェアで構成する繰り返しループである。もう 1 種類は、制御部に開始アドレスを格納するレジスタ、終了アドレスを格納す

るレジスタ、繰り返し回数をカウントするカウンタを設けて、ハードウェアで制御する繰り返しループである。このハードウェアが前記リピート制御部 205 である。ソフトウェアで構成する繰り返しループは、ループのネストの深さに対する制約がなく、また、特にリピート制御部 205
5 を備えないので回路規模を節約できるが、制御のための命令を発行する必要があるので、処理サイクル数が増える。リピート制御部 205 による繰り返しループ制御は、繰り返し回数の制御などを全てハードウェアで行うので、制御のための処理サイクル数を必要としないが、ループのネストが制限されるなどの制約がある。一般に多重のネストがあるとき、
10 最も内側のループをリピートループで構成する。

繰り返しループは、実現する処理フローの観点から 3 種類に分類される。繰り返し回数が固定値のもの、繰り返し回数がそれまでの処理で既に分かっているもの、繰り返し中にある条件を満たして繰り返しを一時中断し別の処理を行った後に再開するもの、である。先に説明した繰り返しループの制御方法は、データバスが単一の場合には 3 種類の処理フローのどれに対しても適応可能である。しかし、一般の SIMD 型並列プロセッサには、必ずしも容易に適用できるわけではない。第 1 の繰り返し回数が固定値の繰り返しループは、従来の SIMD 型並列プロセッサでも問題なく実現できる。第 2 の繰り返し回数がそれまでの処理で既に分かっている繰り返しループは、各々のデータ処理部で要求される繰り返し回数が異なる場合がある。このような繰り返しループは、従来の SIMD 型並列プロセッサでは実現できないが、本発明では以下に示す手法で実現している。本発明では繰り返しの途中で求められる繰り返し回数を終了したことを、各々のデータ処理部 101, 102, ..., 10n が独自
20 に検出して、待機状態に入る。データ処理部 101, 102, ..., 10n は必要な繰り返し回数が少ないものから順次待機状態になっていくので、制御部

200 は全てのデータ処理部 101,102,...10n が待機状態になったことを検出して繰り返しループを終了すればよい。第3の繰り返し中にある条件を満たして繰り返しを一時中断し別の処理を行った後に再開する繰り返しループは、データ処理部 101,102,...10n 毎に条件を満たすタイミングが異なる場合があり、従来の SIMD 型並列プロセッサでは実現困難である。本実施例で開示している構成では、条件を満たしたデータ処理部 101,102,...10n は独自に待機状態になる。従来のリピート命令では、リピートループ内に条件を判定する命令を入れる必要があり、余分なサイクルを費やしていた。上で説明した通り、リピートループは最も内側のループとして使われることが多いので、余分なサイクルの追加は全体の処理性能に致命的な影響を与える場合がある。制御部 200 は少なくとも1個のデータ処理部が待機状態になったことを検出して、繰り返しループを一時中断し、別の処理を行った後に繰り返しループを再開する。別の処理を行っている間、条件を満たしたデータ処理部を待機状態から復帰させ、条件を満たしていないデータ処理部は制御部 200 からの信号で待機状態にする。あるいは、制御部 200 が内部のデータ演算部を使って独自に処理を行ってもよい。

第1図乃至第3図に示した実施例の回路構成において上記繰り返しループの制御を行う場合、制御部 200 はリピート制御手段を備えていないので、データ処理部 101,102,...10n の待機/活性状態は、個々のデータ処理部 101,102,...10n に備えられた待機レジスタ 121,122,...12n の内容を制御部 200 に転送して行う。待機レジスタ 121,122,...12n の内容は制御部 200 のデータ演算部 203 に転送されて、全てのデータ処理部 101,102,...10n が待機状態にある、又は少なくとも1個のデータ処理部が待機状態にある、などの状態を基にして、前述の繰り返しループの制御を行う。待機レジスタ 121,122,...12n の内容の転送、内容の評

価などは命令によって実行されるので、制御部 200 がデータ処理部 101,102,...10n の待機／活性状態を頻繁に監視するほど、監視のための処理ステップ数の増加が全体の処理ステップ数に与える影響が顕著になる。第 4 図で説明したリピート制御部 205 はこれを解決するものである。

第 4 図で説明した SIMD 型並列プロセッサにおいて、データ処理部 101,102,...10n の待機／活性状態を制御部 200 にフィードバックする手段を更に説明する。個々のデータ処理部 101,102,...10n に備えられた待機レジスタ 121,122,...12n の内容は、専用の信号線 PENOPEA で制御部 200 に伝達される。データ処理部 101,102,...10n が n 個あれば信号線 PENOPEA は n ビットである。制御部 200 は、データ処理部 101,102,...10n の待機／活性状態が予め設定した条件を満足したことを検出する条件判定部 206 を備え、それによる判定結果は制御部 200 内部のフラグ 204 にフィードバックされるか、リピート制御部 205 にリピートループを一時中断、もしくは強制終了する制御信号を与える。フラグ 204 にフィードバックするのは、繰り返しループがソフトウェアで制御されている場合に有効で、フラグ 204 の状態を見てループを継続、一時中断、終了するなどの制御を行うことができる。リピート制御回路 205 は、もともとループを制御するための命令実行サイクルを節約するために設けられたハードウェアの制御回路であるから、データ処理部 101,102,...10n の待機／活性状態を監視するために命令実行サイクルを多く費やすような利用形態は少ないと考えられる。予め設定した条件を満たした時点でリピート制御部 205 に制御信号を送って、リピートループを強制終了する利用形態の方が多いであろう。

条件判定部 206 の一実施例を第 8 図に示す。各々のデータ処理部から待機／活性状態を表す信号 PENOPEA[3:0]が入力される。前記信号

PENOEPA[3:0]は、1個のデータ処理部が1ビット出力して合計4ビットの信号になっている。該当するデータ処理部が待機状態のとき、この信号は“1”である。信号PENOPMASKでマスクされていない部分(PENOPMASK=“0”)を対象として、対象とする全てのデータ処理部が待機状態のとき、信号PENOPAND=1とされ、対象とするデータ処理部のうち少なくとも1個が待機状態のとき信号PENOPOR=1とされ、どちらか選択された方の値を条件フラグに反映する。PENOPAND=1を用いた制御は、繰り返し回数がデータ処理部101,102,...10n毎に異なる場合に有効である。制御部200で無限ループを作っておき、各々のデータ処理部101,102,...10nがデータ依存性に仕掛けて必要な回数のループを終えて順次待機状態になっていき、全てのデータ処理部101,102,...10nが待機状態になった時点で繰り返しループを終了すればよい。

上記説明では、待機レジスタが1ビットの場合についてのみ開示したが、これを複数ビット備えてもよい。例えば、2ビットの待機レジスタを設けて誤り訂正を行う場合、誤りの検出されなかった受信符号語の訂正を行っているデータ処理部は上位ビットを1にして待機状態になっており、その他のデータ処理部で誤りが検出されてその訂正処理を行う過程で、繰り返しループを早めに終了させるために待機状態を下位の1ビットを用いれば、より効率的な制御が可能となる。

第10図にはデータ処理部101,102,...10nの一例が示される。データ処理部101,102,...10nにおいて、整数レジスタ70、バッファ50、レジスタ60がバスLDBに接続されている。メモリ801、802、制御部200、周辺回路900とのデータ転送はこのバスLDBを通して行わる。バッファ50は、前記記憶手段141,142,...14nの一例で、数十ワードのデータを格納しており、そのうちの数ワードがポインタ20で並列的に指定されて、演算やデータ転送に用いられる。ポインタ20はポインタ

151,152,...15n の一例である。独立したレジスタ 60 も演算やデータ転送に用いられる。バッファ 50、レジスタ 60 と演算回路 10（前記演算部 161,162,...16n に含まれる）は、内部バスを介して接続されており、バッファ 50 とレジスタ 60 の間のデータ転送もこの内部バスを介して実行される。演算回路 10 は複数の演算器を備えていて、演算結果をフラグレジスタ 40 に反映する。ポインタ 20 の値は、バッファ 50 のアドレスを与えており、演算命令、データ転送命令による演算や転送処理と並列に値を更新することができる。誤り訂正において、多項式の係数をバッファ 50 に格納しておき、多項式どうしの演算を行う場合、ポインタ 20 を順次更新しながら行うと効率的である。デジタルフィルタで係数とデータとをバッファ 50 に格納しておき、ポインタ 20 を順次更新しながらフィルタの出力を求める場合にも、効率的に作用する。もちろんポインタ 20 の値は更新しないで一定値を保持してもよい。ポインタ値を更新しながら処理を行っていて、ある所定の値に達したときにその処理を終了したい場合に、ポインタの値を監視する必要がある。第 10 図においては、ポインタ 20 の値を所定の値と比較する比較器 30 を設けて、比較結果をフラグ 40 に反映することによってこれが実現される。バッファ 50 のアドレスを計算する上で元になる値を整数レジスタ 70 に格納しておく。整数レジスタ 70 は別の内部バスを介して整数演算器 80 に接続されており、アドレス演算を行う。整数レジスタ 70 は、バッファ 50 のアドレス演算だけを行う必要はなく、全く別の整数演算を行ってもよい。誤り訂正のプログラムでは値がゼロのシンδροームの数を数え、全てのシンδροームの値がゼロであること、すなわち処理中の受信符号語に誤りがないことを検出するために用いられる。整数演算器 80 の演算結果もフラグレジスタ 40 に反映される。この整数演算器 80 も第 4 図の演算部 161,162,...16n に含まれている。フラグレジスタ 40 の内容は、

制御部 200 から供給される待機条件と比較され、条件が満たされた場合に、待機レジスタ 42 をセットして待機状態になる。前記レジスタ 42 は、前記待機レジスタ 121, 122, ... 12n に相当する。待機状態になると制御信号を無効にする回路 43 は、入力された制御信号を非活性状態に制御

5 して演算などの動作が行われなくようにする。待機レジスタ 42 は制御部 200 からの待機状態変更信号で変更できる。回路 43 は第 4 図の回路 131, 132, ... 13n に相当する。第 1 1 図において、フラグ 40 と比較器 41 が、第 4 図の判定部 171, 172, ... 17n に含まれる。

待機レジスタ 42 の値がセットされているとき、データ処理部に入力

10 される制御信号は、回路 43 により、待機レジスタ 42 へのアクセスを制御するもの以外はすべて無効となるように制御されている。消費電力低減の観点から、待機状態にある場合にはクロックを停止する制御を行うことが望ましい。また、全ての制御信号にその信号を無効にするゲートを挿入すると、制御信号の数が数百本にもなることがまれではないので、

15 挿入するゲートによる回路規模の増加も無視できない。クロックを停止する場合にはクロックに対してだけゲートを挿入すればよいから、回路規模の観点からも好適である。第 1 1 図にはクロック信号を停止させる構成が示されている。待機状態において、待機レジスタ 42 にはリセット動作が可能なように、クロック信号が供給され、その他の回路へのク

20 ロック信号の供給は回路 43 によって抑止される。

前記演算回路 10 は固定小数点演算器を備えれば画像処理などに好適であり、浮動小数点演算器を備えればコンピュータグラフィックスなどに好適である。

次に示す実施例では、演算回路 10 にガロア体演算器を設け、リード

25 ソロモン符号などの誤り訂正処理に好適なデータ処理部の一例について説明する。

第 12 図には誤り訂正処理に好適なデータ処理部の詳細な一例が示される。同図に示されるデータ処理部は、2 個のガロア体乗算器 11、1 個のガロア体加算器 12、64 ワードのガロアバッファ 50、4 ワードのガロアレジスタ 60、3 個のポインタ (PS1, PS2, PD) 21, 22, 23、8 ワードの整数レジスタ 70、1 個の整数加減算器 80、その他、演算結果を判定してデータ処理部を待機状態にする回路から成る。

ガロアバッファ 50、ガロアレジスタ 60 と、2 個のガロア体乗算器 11、1 個のガロア体加算器 12 は、6 本の内部バスで接続されており、ガロアバッファ 50、ガロアレジスタ 60 に格納されたデータの演算を行って、その結果を、ガロアバッファ 50、ガロアレジスタ 60 に再格納する。演算器 11, 12 の入力にはセクタ 14 が設けられており、演算に使われるデータが出力された内部バスを選択できる。演算器 11, 12 の出力は内部バスを介して、ガロアバッファ 50 またはガロアレジスタ 60 に格納される。

ガロアバッファ 50 は、ポインタ (PS1) 21、(PS2) 22 で指定されたアドレスの 2 ワードを同時に内部バスに出力し、同時にポインタ (PD) 23 で指定されたアドレスに内部バスからデータを取り込む。ポインタ 21, 22, 23 の値はガロア体演算と同一サイクル内に、増減 (+1 / -1) が可能である。ポインタの値は、整数レジスタ 70 から書き込みと読み出しが行われる。整数レジスタ 70 には、ポインタ 21, 22, 23 の制御に必要な値を演算するために必要なデータが格納されており、接続された整数加減算器 80 を用いて演算が行われる。

ポインタ 21, 22, 23 の値を増減しながらガロア体演算を繰り返すような処理では、ポインタ 21, 22, 23 の値が所定の値になったときに繰り返しを終了したい場合がある。所定の値をレジスタ (PEND) 31 に予め格納しておき、制御信号 SELPEND で監視すべきポインタを指定して、監視し

ているポインタの値がレジスタ(PEND)31 に予め設定した値と一致する
か否かが比較器(CMP)33によって判定される。その判定結果が一致した
とき、信号 RPTEND によってフラグレジスタ 40 の RPTEND フラグを立て、
更に、待機レジスタ 42 をセットする。ポインタ 21,22,23 の監視を行わ
ない場合には、制御信号 SELPEND を使ってポインタ 21,22,23 の値とレ
5 ジスタ(PEND)31 の値との比較を行わないように設定する。

データ処理部に個別に設けられたフラグレジスタ 40 には、上記の
RPTEND フラグ以外に、ガロア体加算器 12 の結果がゼロになったことを
示す GZ フラグ、整数演算器 80 の結果がゼロになったことを示す IZERO
10 フラグと負になったことを示す INEG フラグが設けられている。

フラグレジスタ 40 の内容は、マスク付き比較器 41 で信号 CNDXMASK
をマスクとして用い信号 NOPCNDX と比較され、一致した場合には待機レ
ジスタ 42 をセットする。待機レジスタ 42 は、例えば、1 ビットのレジ
スタで、上記の 2 つの方法でデータ処理部内の演算結果でセットできる
15 ほか、外部から信号 PENOPIN で直接値を書き込んでリセットしたり、ま
た信号 PENOPEA として直接外部に読み出すことができる。待機レジスタ
42 の値がセットされているとき、データ処理部に入力される制御信号
は、回路 43 より、待機レジスタ 42 へのアクセスを制御するもの以外は
すべて無効となるように制御されている。消費電力低減の観点から、待
20 機状態にある場合にはクロックを停止する制御を行うことが望ましい。
また、すべての制御信号にその信号を無効にするゲートを挿入すると、
制御信号の数が数百本にもなることがまれではないので、挿入するゲー
トによる回路規模の増加も無視できない。クロックを停止する場合には
クロックに対してだけゲートを挿入すればよいから、回路規模の観点か
25 らも好適である。

第 9 図には前記マスク付き比較器 41 の一例が示される。4 ビットの

フラグと、予め設定された 4 ビットの条件信号 NOPCNDX をビット毎に比較するが、信号 CNDXMASK で '1' が指定されているビットは比較の対象外とされる。信号 NOPCNDX, CNDXMASK は制御部 200 から、各データ処理部に共通に与えられる信号とされる。

- 5 第 1 3 図、第 1 4 図及び第 1 5 図には、第 1 2 図に示されるデータ処理部を有する第 4 図の S I M D 型並列プロセッサが実行する命令の一例が示される。制御部 200 の動作を記述するには、命令語長を短くし、若しくはコード効率を上げるという点で、R I S C (Reduced Instruction Set Computer) 命令が好適である。本実施例の S I M D 型
10 並列プロセッサには R I S C アーキテクチャが採用されている。

- 第 1 3 図に示した命令は本発明を実施する上で特に好適な命令の例で、一般の RISC 命令に対して新規に追加された命令である。一般的な RISC 命令の他に RISC のデータ転送命令と S I M D 命令を並列に記述できる命令を備えている。第 1 4 図に示したデータ転送命令と、第 1 5 図
15 に示した SIMD 命令は制約なしに組み合わせて並列に記述され、並列に実行できる。

- RISC 命令には、第 1 3 図に示す様に、データ設定命令とリビート命令が新規に追加されている。データ設定命令は、フラグ (フラグレジスタ 40 内のフラグ) の状態を監視する条件データの設定と、データ処理
20 部の待機/活性状態を変更する状態データの設定を行う。「setPENOP=1 if 条件」は、NOPCNDX, CNDXMASK の出力元である制御部 200 内部のレジスタに条件を設定し、この時、データ処理部のフラグの状態が条件を満たしていれば該当するデータ処理部を待機状態にさせる。

- 「setPENOP=1 when 条件」は、信号 NOPCNDX, CNDXMASK の出力元である
25 制御部 200 内部のレジスタに条件を予め設定し、各々のデータ処理部が以降のサイクルで条件を満たしたとき、該当するデータ処理部を待機状

態にさせる。「setPENOP=1 if 条件」とは異なり、未来事象に対する監視条件設定で、この命令以降繰り返しループが開始されるような場合、ループ内でフラグを監視するサイクルをとらなくてよいので、性能向上に寄与する。

5 「setPENOPEA=#Imm.」は、データ処理部を個々に待機／活性状態にする。#Imm.はデータ処理部1個に対応する1ビットを持ち、1で待機、0で活性状態を意味する。ある処理が終了して、全てのデータ処理部が待機状態になったとき、次の処理に進むためにすべて若しくは所定の一部のデータ処理部を活性状態に戻す場合に用いる。

10 ここで、前記データ設定命令を用いてデータ処理部を待機状態にする構成及び命令について詳述する。第19図のSIMD型並列プロセッサに例示されるように、制御部200は、信号NOPCNDX、CNDXMASKが設定される2個のレジスタ(NOPCNDX)207、(CNDXMASK)208を有する。これらのレジスタ207,208は命令によって値を書き込むことができる。レジスタ
15 207,208の出力はセクタ14を介して各々のデータ処理部101, 102, ... 10nの結果判定回路171, 172, ... 17nに供給可能にされている。結果判定回路171, 172, ... 17nでは信号CNDXMASKによってマスクされていないビットに関してのみ、演算結果のフラグと信号NOPCNDXを比較し、一致した場合に該当するデータ処理部を待機状態にする。前記条件とマ
20 スクを与えるには、前記”setPENOP=1 if”と”setPENOP=1 when”の2つの命令を用いる。

第20図には”setPENOP=1 if”を実行した場合の動作タイミングチャートの一例が示され、第21図には”setPENOP=1 when”を実行した場合の動作タイミングチャートの一例が示される。双方のタイミングチャートでは、命令フェッチ、命令デコード、実行の3段パイプラインの場合
25 を例示したが、パイプラインの方式はここでは問題にならない。

”setPENOP=1 if”は、命令をデコードした信号をセクタ 14 によって選択して、その時点でのフラグの状態を判定し、与えた条件が満足された場合に当該データ処理部を待機状態にする方法である。4 サイクル目で発行された”setPENOP=1 if”命令が実行される 6 サイクル目の時点でフラグの値が確定しており、その値が与えられた条件と一致するかどうかを判定し、一致したときは PENOP=0 を書き込んでクロックを停止する。この命令なしにフラグの値が判定されることはない。

一方、”setPENOP=1 when”はレジスタ(NOPCNDX)207,(CNDXMASK)208 の値を保持してそれ以降の演算命令で条件を満足したら該当するデータ処理部を待機状態にする命令である。第 21 図において、4 サイクル目に条件が設定され、6 サイクル目の演算結果が条件を満足して 7 サイクル目から待機状態に入る。演算結果は各々のデータ処理部で異なるので、待機状態になるタイミングも同一とは限らない。

このように、”setPENOP=1 if”は、この命令が発行された時点でのフラグ 40 の状態を判定するもので、”setPENOP=1 when”はこの命令が発行された以降の演算結果に対して待機のための条件を与えることができる。

第 13 図に示したリピート命令には、通常のリピート命令と、強制終了条件付きリピート命令がある。通常のリピート命令「REPEAT RS, RE, RC」は、アドレス RS からアドレス RE までの命令を、RC 回繰り返す命令で、リピート制御回路 205 でハードウェア制御を行うので、繰り返しループ制御のためのオーバーヘッドサイクルを要しない。強制終了条件付きリピート命令「REPEAT RS, RE, RC, until 条件」は、上と同様にアドレス RS からアドレス RE までの命令を、RC 回繰り返す命令であるが、条件を満たした場合にリピートループを強制終了する。強制終了条件としては、マスクされていない全てのデータ処理部が待機状態になること

(PENOPAND)、又はマスクされていない少なくとも 1 個のデータ処理部が待機状態になること(PENOPOR)を設定できる。繰り返し回数が個々のデータ処理部で異なる場合には強制終了条件として PENOPAND を用い、あるデータが発見されるまで検索を繰り返す場合には強制終了条件として PENOPOR を用いるのが有効である。

第 14 図にデータ転送命令の一例が示される。制御部 200 のデータ演算部 203 に備えられた汎用レジスタをアドレスポインタ、アドレスインデックスポインタとして用い、3 種類のロード命令と 3 種類のストア命令、及びノーオペレーション NOP が指定できる。ロード命令は第 2 のメモリ 802 からデータ処理部 101, 102, ... 10n のレジスタ 60 へのデータ転送命令であり、ストア命令は逆にデータ処理部のレジスタ 60 から第 2 のメモリ 802 へのデータ転送である。メモリのアドレスは制御部 200 のアドレスポインタとして用いられるレジスタの内容が用いられる。@A の場合はアドレスポインタを更新しない。@A+ の場合はデータ転送後アドレスポインタの値を 1 増加する。@A+I の場合はデータ転送後アドレスポインタの値をアドレスインデックスポインタの分だけ増加する。ロード命令のデータの転送先(デスティネーション)として、またストア命令のデータの転送元(ソース)として、データ処理部 101, 102, ... 10n の整数レジスタ 70、ガロアレジスタ 60、ガロアバッファ 50 が選択できる。ガロアバッファ 50 が選択されたときバッファポインタ 21~23 が、保持若しくは +1 される。制御部 200 側のメモリのアドレスポインタとデータ処理部側のバッファポインタ 21~23 の動作を自動的に同期させることができるので、効率の良いデータ転送が可能となる。ここで開示した本発明の実施例の特徴は、データ転送命令と SIMD 命令が同時並列に実行され、更に同時にガロアバッファ 50 のポインタ 21~23 が更新できる点である。データ転送と演算が同時に実行できてもポインタが同時

に更新できなければ、高い処理性能は期待できない。

第 15 図には SIMD 命令の一例が示される。SIMD 命令は、レジスタ間のデータ転送命令、ポインタの値を計算するための整数演算命令、直接誤り訂正処理を行うガロア体演算命令に大別される。GICOPY 命令は整数データの転送命令で、整数レジスタ P0, P1, ... P7 とポインタ PS1, PS2, PD, PEND の間のデータ転送を行う。GCOPY 命令はガロア数の転送命令で、ガロアレジスタ 60、ガロアバッファ 50 の間でデータ転送を行う。ガロアバッファ 50 がオペランドになるときは、ポインタ 21~23 の同時更新が可能となっていて、バッファ 50 の初期化を行う場合などに有効である。整数演算命令はポインタ 21~23 の値を生成するために整数レジスタ間の加減算、インクリメント、デクリメントを行う。この時、加算結果がゼロになったとき IZERO フラグを、加算結果が負になったとき INEG フラグを立てる。誤り訂正の処理を行うときに整数レジスタ 70 は多項式の次数を格納すると、効率良くプログラムを作成できるが、このとき二つの多項式の次数を比較したり、ループの繰り返し回数を与えるときにフラグを用いる。

ガロア体演算命令は、誤り訂正に用いられるガロア体上の数の演算を行うものである。単独乗算(GMULT)、単独加算(GADD)、積和演算(GMAC)の他に、乗算と積和演算を同時に行う、命令 GADMS と GADMC を準備している。命令 GADMS と GADMC が実行されると、乗算側($Sy := Sx * Sy$)は係数の 2 乗、3 乗、4 乗を順次計算していき、積和演算($D := Sy * D + Sz$)にその係数が使われる。命令 GADMS はシンδροーム計算に、また命令 GADMC はチェンサーチに適している。複雑な積和命令($D := Sw * Sx + Sy * Sz$)はユークリッド互除法に適した命令である。命令 GINV は、これを 7 回使うことによって、ガロア体上の数の逆数を求めるときに使われる。逆数をかけることによって除算が実行できる。

第15図において、ガロア演算命令 GMULT S_x, S_y, D 等の内容の欄に示された GB(PS1[+/-])はガロアバッファ(GB)のポインタ(PS1)に関し、維持、+1又は-1を選択でき、その操作も当該命令で同時に実行できることを意味する。GB(PS2[+/-])もポインタ(PS2)に関し同様の意味を持つ。尚、+1、-1の操作は、PS1、PS2、PD個々に附加されたインクリメンタ、デクリメンタで行なわれる。何れを選択するかは命令で指定される。

第16図には前記一般RISC命令、そして前記データ転送命令とSIMD命令を組み合わせた命令の全ての命令コードの構成が示される。一般RISC命令はニーモニックに対応するnビットの命令コードが割り付けられている。データ転送命令の内、第17図に示されたものは第18図に示されたSIMD命令と自由に組み合わせて並列実行命令(複合命令)を構成することができる。複合命令にはmビットのコードが割り付けられており、一般RISC命令と区別するための識別コードkビット、第17図に示した転送命令のコードpビット、及び第18図に示したSIMD命令のコードqビットで構成される。命令コードのビット数(長さ)、n、m、k、p、qは命令の種類やオペランドの自由度に応じて決めればよい。命令を格納するメモリの制約から、 $n=m=32$ 或いは $n=16$ 、 $m=32$ などの様に定めると、夫々32、16ビット/ワードのメモリとの整合がよくなる。SIMD型並列プロセッサでは演算能力に対してデータ転送能力が不足する所謂ボトルネックを生ずる場合が多いので、このように、データ転送命令とSIMD命令とを組合わせた複合命令を設けたものである。尚、複合命令を設けずに、一般RISC命令とSIMD命令に同様な命令コードを割り付けてもよい。

第22図には第13図乃至第15図に示された上記命令セットを用いて作成したプログラムの一例が示される。第22図のプログラムは第

5 図に示したリードソロモン符号の誤り訂正処理で行うユークリッド互除法 1004 の一部で、誤り数値多項式 2004 を求める部分である。それまでの処理過程で新旧 2 個の誤り数値多項式の係数がガロアバッファ 50 に格納されている。新旧 2 個の誤り数値多項式の次数は並列に動作

5 しているデータ処理部 101, 102, ..., 10n 毎に異なるので、新旧 2 個の誤り数値多項式の係数が格納されているガロアバッファ 50 のアドレスが整数レジスタ 70 に格納されている。新しい誤り数値多項式の最高次と最低次の係数は、それぞれ P0、P6 で示されるガロアバッファ 50 のアドレスに格納されている。同様に、古い誤り数値多項式の最高次と最低次

10 の係数は、それぞれ P2、P7 で示されるガロアバッファ 50 のアドレスに格納されている。ユークリッド互除法では新旧 2 個の誤り数値多項式の間の係数演算を行って、古い誤り数値多項式を更新する。誤り数値多項式の次数はユークリッド互除法の最初が最も高く、更新を繰り返すことによって徐々に次数を下げ、最終的に適正な次数の誤り数値多項式 2004

15 が求められる。

第 2 図は二つのリピートループ 3005, 3009 で古い誤り数値多項式の更新を行っている。第 1 のリピートループ 3005 はラベル OMG1 の付加された演算命令 3006 を、PS1=PEND になるまで最大 16 回繰り返すもので、誤り数値多項式の比較的高位の次数の計算を行っている。開始アドレス、終了アドレスが共にラベル OMG1 で示されたアドレスであるので、

20 演算命令 3006 のみが繰り返される。同様に、第 2 のリピートループ 3009 はラベル OMG2 の付加された演算命令 3010 を、PS2=PEND になるまで最大 16 回繰り返すもので、誤り数値多項式の比較的低位の次数の計算を行っている。ポインタ (PS1)21、(PS2)22 の値は演算されている新旧の誤り数値多項式の係数の格納されているアドレスを与えており、並列処理

25 を行っているデータ処理部 101, 102, ..., 10n 各々で異なる値になっている。

る。ポインタ 21,22 の値は、演算命令 3006,3010 が実行される毎に 1 ずつ減少し、レジスタ(PEND)31 に格納されている値に一致すると、該当するデータ処理部は待機状態になる。処理の対象となる誤り数値多項式の次数が低いものから、順次待機状態になっていき、全てのデータ処理部 101,102,...10n が待機状態になった時点でリピートループ 3005,3009 が強制終了される。リピートループ 3005,3009 が終了すると、次の命令「set PENOPEA=0」3007,3011 が実行され、全てのデータ処理部 101,102,...10n が動作状態に復帰する。リピートループ 3005,3009 に繰り返し回数として設定した 16 回は理論的に有り得る最大の繰り返し回数であり、リピートループの強制終了機構を持たない前記 SIMD 型並列プロセッサで、このプログラムを実行しても正常に動作する。所定回数の演算が終了した後、それぞれ 16 回合計 32 回の繰り返しが終了するまで待機状態になって結果を保持したまま待機する。実際の符号の誤り訂正では、繰り返し回数は第 1 及び第 2 のリピートループ 3005,3009 の合計の平均が 12 回程度である。強制終了機構を持った実施例では、12 回行えばよいが、強制終了機構を持たない実施例では 32 回の繰り返しを行うことになる。

以上示したように、第 4 の実施例に示したリピート命令の強制終了機構を有する SIMD 型並列プロセッサは、処理ステップ数を大幅に削減できる効果がある。第 22 図では誤り訂正プログラムの極く一部のルーチンについてのみ例示して説明したが、誤り訂正処理の別のルーチンやその他通常のデジタル信号処理でも、リピートループの強制終了機構が有効に作用する場合が多々ある。

第 23 図には、以上説明した SIMD 型並列プロセッサを DVD/CD-ROM 装置へ適用したシステムブロック図が示される。第 1 図乃至第 4 図又は第 19 図のうちの一つを用いて説明した SIMD 型並列プロセッサに

は、バスインタフェース回路 901 によって周辺バスを介し周辺回路 900 が接続されている。周辺回路 900 は、例えばアナログインタフェース回路（アナログ I/F）905、ピックアップ 913 を制御するための D/A 変換器 904、モータ 911, 912 制御用の PWM (Pulse Width Modulation) 変調回路 903、音声出力用の D/A 変換器 902 とされる。アナログインタフェース回路 905 は、アナログ信号処理回路 909 を経てピックアップ 913 を制御し、データを取り込むと共に、制御に必要な情報を取り込む。制御に必要な情報は、レンズフォーカス、エンベロープ、フォーカス、トラッキングの情報である。これらの情報からプロセッサの制御部 200 でデータ処理を行い、ピックアップ 913 のフォーカスとトラッキング調整、スレッドモータ 912 とスピンドルモータ 911 のドライブを行う。媒体から読み出されたデータはアナログインタフェース回路 905 を経て、メモリ 801, 802 に取り込まれ、データ処理部 101, 102, ... 10n で誤り訂正処理を施されて出力される。本発明は、制御部 200 を SIMD 型並列プロセッサの制御にのみ用いるのではなく、一般の RISC 命令を備えて、サーボ制御処理、トラッキング制御処理などを、誤り訂正と時分割で行う為にも用いる。さらに、好適な実施例においては、一般の DSP 命令を実行できる機構を追加して、全てのシステム制御タスク、信号処理タスク、誤り訂正などの特殊データ処理タスクを一括したプログラムで記述する。この時、従来別部品であった制御マイコン、サーボ/トラッキング制御用の LSI 若しくは DSP を省略して、本発明の一例に係る SIMD 型並列プロセッサで一括処理が可能となり、装置コストが大幅に低減される。さらに、全てのタスクを一括して開発できるために、タスク間の整合を極めて容易に取ることができ、開発期間を大幅に短縮できる。

DVD と CD-ROM の記録フォーマットは当然異なるが、両方のメディアが同時に再生されることはないので、DVD を再生するプログラムと CD-ROM

を再生するプログラムを切り替えて用いることによって、容易に両者を再生できる装置が提供できる。

上記データ処理システムによれば、誤り訂正処理のプログラムとピックアップ、モータ、音声出力のプログラムが一括して開発できるので、
5 装置の開発にかかるコストが大幅に削減される。また、従来は装置として全体を制御するマイコンが必要であったが、本実施例によれば誤り訂正を行うプロセッサが装置全体の制御も行うので、装置コスト自体も大幅に削減できる。

上記実施例は、DVD/CD-ROM装置へ適用した例であるが、放送系のメディアに対応するには、ピックアップ、モータなどを、復調回路、通信
10 プロトコル制御回路、などに置き換えることによって容易に実現される。

以上に述べてきたように、符号の誤り訂正処理を行うのにSIMD型並列プロセッサを導入したことによって、メディアの要求する処理速度の向上に対して基本的なアーキテクチャやプログラムの変更なしに、データ処理部の数を増加して並列度を高めるだけで、容易に対応ができる。
15 異なった規格の符号に対しては、プログラムの変更で対処可能で、複数の規格の誤り訂正を想定するようなシステムにも容易に対応できる。
SIMD型並列プロセッサでは条件分岐の方法が重大な課題であるが、複数設けたデータ処理部を個々の演算結果に基づいて待機状態にして、
20 分岐処理を実現できる。また、複数設けた全てのデータ処理部が待機状態になって無駄なサイクルが生じないように、各々のデータ処理部の動作状態を監視、制御する手法により、処理効率の向上を実現することができる。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。
25

例えば、データ処理装置が1個の半導体集積回路で構成されるとき、当該データ処理装置の動作プログラムは内蔵ROMに保有し、或いは外部ROMなどで提供することができる。また、データ処理部の数、データ処理部と制御部を接続するバス構成は上記実施例に限定されず適宜
5 変更することができる。また、各データ処理部の待機状態を制御部に通知する手法はデータ処理部毎の信号によって制御部に通知する構成に限定されない。制御部は、共通バスを介して制御部が待機レジスタをアクセスすることによって待機状態か否かを参照してもよい。

10 産業上の利用可能性

本発明は、並列演算処理性能若しくは並列演算処理効率の向上を企図するSIMD型並列データプロセッサのようなデータ処理装置、そして、蓄積系や通信系における符号の誤り訂正のためのデータの符号化及び復号を行なうデータ処理システム、例えば、CD-ROM、DVD、
15 MO(Magneto-Optics)などの記録媒体の情報再生若しくは情報記録システム、更には衛星放送受信システムなどに広く適用することができる。

請 求 の 範 囲

1. フェッチした命令を解読して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部によってデータ転送制御される複数個のデータ処理部とを含み、
5 前記夫々のデータ処理部は、前記制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段を含み、前記制御部は夫々のデータ処理部を待機状態から活性状態に復帰させるものであることを特徴とするデータ処理装置。
- 10 2. 前記待機制御手段は、データ処理部による演算動作の結果が特定の状態になったか否かを判定する判定手段と、前記判定手段による前記特定状態の検出に同期してセット状態にされ、前記制御部からの特定の制御情報によってリセット状態にされる待機レジスタと、前記待機レジスタのセット状態に応答してデータ処理部による演算動作を停
15 止させる手段とを含んで成るものであることを特徴とする請求の範囲第1項に記載のデータ処理装置。
3. 前記演算動作を停止させる手段は、クロック信号に同期して演算動作を行う回路部分へのクロック信号の供給を選択的に停止させる回路であることを特徴とする請求の範囲第2項に記載のデータ処理装
20 置。
4. 前記制御部は、夫々のデータ処理部が待機状態であるか否かを検出する検出手段と、前記検出手段による検出結果を参照してデータ処理部を待機状態から活性状態に復帰させる論理手段とを含んで成るものであることを特徴とする請求の範囲第1項に記載のデータ処理装
25 置。
5. 前記論理手段は、全てのデータ処理部が待機状態にあるとき、前記

制御部による命令実行順序を変更すると共に、待機状態にあるデータ処理部を待機状態から活性状態に復帰させるものであることを特徴とする請求の範囲第4項に記載のデータ処理装置。

- 5 6. 前記データ処理部は、ガロア体の乗算回路と加算回路を含み、前記制御部は、前記ガロア体の乗算回路と加算回路を制御するための演算命令として、ガロア体乗算命令、ガロア体加算命令、及びガロア体積和演算命令を少なくとも実行するものであり、1個の半導体基板に形成されて成るものであることを特徴とする請求の範囲第4項又は第5項に記載のデータ処理装置。
- 10 7. ガロア体上で定義された符号の誤り訂正を行うプログラムを格納したプログラムメモリを更に有し、前記制御部は前記プログラムメモリから命令をフェッチし、前記データ処理部を用いて誤り訂正処理を行うものであることを特徴とする請求の範囲第6項に記載のデータ処理装置。
- 15 8. フェッチした命令を解読して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部によってデータ転送制御される複数個のデータ処理部と、前記制御部によってアクセスされる記憶手段とを含み、
前記夫々のデータ処理部は、第1の演算回路と、前記第1の演算回路に接続されたバッファ手段と、前記バッファ手段のアドレスを変更可能に指定する複数個のポインタ手段とを含み、前記夫々のデータ処理部のバッファ手段はデータバスを介して前記記憶手段に接続されて成るものであることを特徴とするデータ処理装置。
- 20 9. 夫々のデータ処理部は、前記制御部によりポインタ手段に設定されたアドレス情報の更新に用いられる第2の演算手段を更に含んで成るものであることを特徴とする請求の範囲第8項に記載のデータ処
- 25

理装置。

- 1 0 . 前記制御部は、前記データ処理部での並列的な演算を規定する演算命令と、前記データ処理部に対するデータ転送を規定するデータ転送命令とを実行する命令実行手段を含んで成るものであることを特徴とする請求の範囲第 8 項に記載のデータ処理装置。
- 5 1 1 . 前記命令実行手段は、前記演算命令とデータ転送命令とを並列的に実行するものであることを特徴とする請求項 1 0 に記載のデータ処理装置。
- 1 2 . 前記命令実行手段は、前記演算命令に含まれる単一の命令であって、前記ポインタ手段で指定されバッファ手段から取得したデータを演算し、演算結果を前記ポインタ手段とは別のポインタ手段で指定されたバッファ手段に格納すると共に、前記ポインタの内容を更新する操作を指示する命令を実行可能であることを特徴とする請求の範囲第 1 1 項に記載のデータ処理装置。
- 1 5 1 3 . 前記夫々のデータ処理部は、前記制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段を更に有し、夫々の前記データ処理部を待機状態から活性状態に復帰させる制御を前記制御部が行なうものであることを特徴とする請求の範囲第 8 項に記載のデータ処理装置。
- 2 0 1 4 . 前記夫々のデータ処理部は、前記ポインタ手段の値が所定値に到達した状態を検出して前記待機制御手段に当該データ処理部を待機状態にさせる判定手段を有するものであることを特徴とする請求の範囲第 1 3 項に記載のデータ処理装置。
- 2 5 1 5 . 前記待機制御手段は、クロック信号に同期して演算動作を行う回路部分へのクロック信号の供給を選択的に停止させて待機状態にするものであることを特徴とする請求の範囲第 1 3 項又は第 1 4 項に

記載にデータ処理装置。

- 1 6 . 前記第 1 の演算回路はガロア体演算器を備えることを特徴とする
請求の範囲第 1 3 項又は第 1 4 項に記載のデータ処理装置。
- 5 1 7 . 前記制御部は、夫々のデータ処理部が待機状態であるか否かを検
出する検出手段と、前記検出手段による検出結果を参照してデータ処
理部を待機状態から復帰させる論理手段とを更に含んで成るもので
あることを特徴とする請求の範囲第 1 3 項に記載のデータ処理装置。
- 10 1 8 . 前記論理手段は、全てのデータ処理部が待機状態にあるとき、前
記制御部による命令実行順序を変更すると共に、待機状態にあるデー
タ処理部を待機状態から活性状態に復帰させるものであることを特
徴とする請求の範囲第 1 7 項に記載のデータ処理装置。
- 15 1 9 . 前記データ処理部は、ガロア体の乗算回路と加算回路を含み、前
記制御部は、前記ガロア体の乗算回路と加算回路を制御するための演
算命令として、ガロア体乗算命令、ガロア体加算命令、及びガロア体
積和演算命令を少なくとも実行するものであり、1 個の半導体基板に
形成されて成るものであることを特徴とする請求の範囲第 1 7
項又は第 1 8 項に記載のデータ処理装置。
- 20 2 0 . 前記制御部は、データ処理手段に対するデータ転送命令、前記制
御部内部でデータを操作する命令、及び前記制御部がフェッチする命
令を分岐させる分岐命令を更に実行可能であることを特徴とする請
求項 1 9 に記載のデータ処理装置。
- 25 2 1 . フェッチした命令を解読して実行する制御部と、前記制御部から
演算動作のための制御情報が並列的に与えられると共に、前記制御部
によってデータ転送制御される複数個のデータ処理部とを含み、
前記夫々のデータ処理部は、前記制御情報に従った演算動作の結果
に応じてデータ処理部を待機状態にする待機制御手段を含み、前記制

御部はデータ処理部が待機状態であるか否かを参照する手段を有し、その参照結果に基づいて前記データ処理部を待機状態から活性状態に復帰させるものであり、

5 前記制御部は、前記データ処理部を待機状態にする条件をデータ処理部に設定すると共に、設定した時に当該設定された条件が成立するデータ処理部を待機状態にさせる命令を実行可能であることを特徴とするデータ処理装置。

2 2. フェッチした命令を解釈して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部
10 によってデータ転送制御される複数個のデータ処理部とを含み、

前記夫々のデータ処理部は、前記制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段を含み、前記制御部はデータ処理部が待機状態であるか否かを参照する手段を有し、その参照結果に基づいてデータ処理部を待機状態から活性状態に復
15 帰させるものであり、

前記制御部は、前記データ処理部を待機状態にする条件をデータ処理部に設定すると共に、前記条件設定の後の命令実行サイクルにおいて当該設定された条件が成立するデータ処理部を待機状態にさせる命令を実行可能であることを特徴とするデータ処理装置。

20 2 3. 前記制御部は、前記複数のデータ処理部を個々に待機状態にし又は待機状態から活性状態に復帰させる指示を与える命令を実行可能であることを特徴とする請求の範囲第 2 1 項又は第 2 2 項に記載のデータ処理装置。

2 4. 前記待機制御手段は、データ処理部による演算動作の結果が前
25 記待機状態にする条件を満足するか否かを判定する判定手段と、前記判定手段により前記条件の満足が検出されるのに同期してセット状

態にされ、前記制御部からの特定の制御情報にしたがってリセット状態にされる待機レジスタと、前記待機レジスタのセット状態にตอบสนองしてデータ処理部による演算動作を停止させる手段とを含んで成るものであることを特徴とする請求の範囲第 2 1 項又は第 2 2 項に記載のデータ処理装置。

5 2 5. フェッチした命令を解説して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部によってデータ転送制御される複数個のデータ処理部と、前記制御部によってアクセスされる記憶手段とを有し、

10 前記夫々のデータ処理部は、第 1 の演算回路と、前記第 1 の演算回路に接続されると共にデータバスを介して前記記憶手段に接続されたバッファ手段と、前記バッファ手段のアドレスを変更可能に指定するための値を保有する複数個のポインタ手段と、前記ポインタ手段が保有する値を更新する第 2 の演算回路と、任意の値が設定されるレジスタ手段と、前記レジスタ手段の値と前記ポインタ手段の値との一致を検出する比較手段と、前記比較手段による一致検出と前記制御情報に従った前記第 1 の演算回路による所定の演算結果との内の少なくとも一つにตอบสนองして第 1 の状態にされ、前記制御部から与えられる所定の制御情報によって第 2 の状態にされる待機レジスタと、前記待機レジスタの前記第 1 の状態にตอบสนองして当該データ処理部の内部を待機状態にする制御手段とを含んで成るものであることを特徴とするデータ処理装置。

2 6. フェッチした命令を解説して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部によってデータ転送制御される複数個のデータ処理部と、前記制御部によってアクセスされる記憶手段とを含み、

前記夫々のデータ処理部は、前記制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段を含み、当該待機制御手段は、前記制御部からの指示に従って前記データ処理部の内部を待機状態から活性状態に復帰させるものであり、

- 5 前記制御部は、夫々のデータ処理部が待機状態であるか否かを検出する検出手段と、前記検出手段による検出結果に応じてデータ処理部を待機状態から活性状態に復帰させる論理手段とを含み、更に、繰り返しループの開始アドレス、繰り返しループの終了アドレス及び繰り返しループの繰り返し回数を指定する命令を実行したとき前記開始
10 アドレスから終了アドレスの命令に従って前記データ処理部を最大限前記繰り返し回数だけ並列演算動作させるものであることを特徴とするデータ処理装置。

27. フェッチした命令を解釈して実行する制御部と、前記制御部から演算動作のための制御情報が並列的に与えられると共に、前記制御部
15 によってデータ転送制御される複数個のデータ処理部とを含み、

前記夫々のデータ処理部は、前記制御情報に従った演算動作の結果に応じてデータ処理部を待機状態にする待機制御手段を含み、当該待機制御手段は、前記制御部からの指示に従って前記データ処理部の内部を待機状態から活性状態に復帰させるものであり、

- 20 前記制御部は、夫々のデータ処理部が待機状態であるか否かを検出する検出手段と、前記検出手段による検出結果に応じてデータ処理部を待機状態から活性状態に復帰させる論理手段とを含み、更に、繰り返しループの開始アドレス、繰り返しループの終了アドレス、繰り返しループの繰り返し回数及び繰り返しループを強制終了する条件を
25 指定する命令を実行したとき、前記強制終了条件が成立しない限り前記開始アドレスから終了アドレスの命令に従って前記データ処理部

を繰り返し並列演算動作させるものであることを特徴とするデータ処理装置。

28. 全てのデータ処理部の待機状態を前記繰り返しループの強制終了条件として設定可能であることを特徴とする請求の範囲第27項に記載のデータ処理装置。

29. 少なくとも1個のデータ処理部の待機状態を前記繰り返しループの強制終了条件として設定可能であることを特徴とする請求の範囲第28項に記載のデータ処理装置。

30. 前記データ処理部は、ガロア体の乗算回路と加算回路を含み、前記制御部は、前記ガロア体の乗算回路と加算回路を制御するための演算命令として、ガロア体乗算命令、ガロア体加算命令、及びガロア体積和演算命令を少なくとも実行するものであることを特徴とする請求の範囲第26項又は第27項に記載のデータ処理装置。

31. ガロア体上で定義された符号の誤り訂正を行うプログラムを格納したプログラムメモリを更に有し、前記制御部は前記プログラムメモリから命令をフェッチし、前記データ処理部を用いて誤り訂正処理を行うものであることを特徴とする請求の範囲第30項に記載のデータ処理装置。

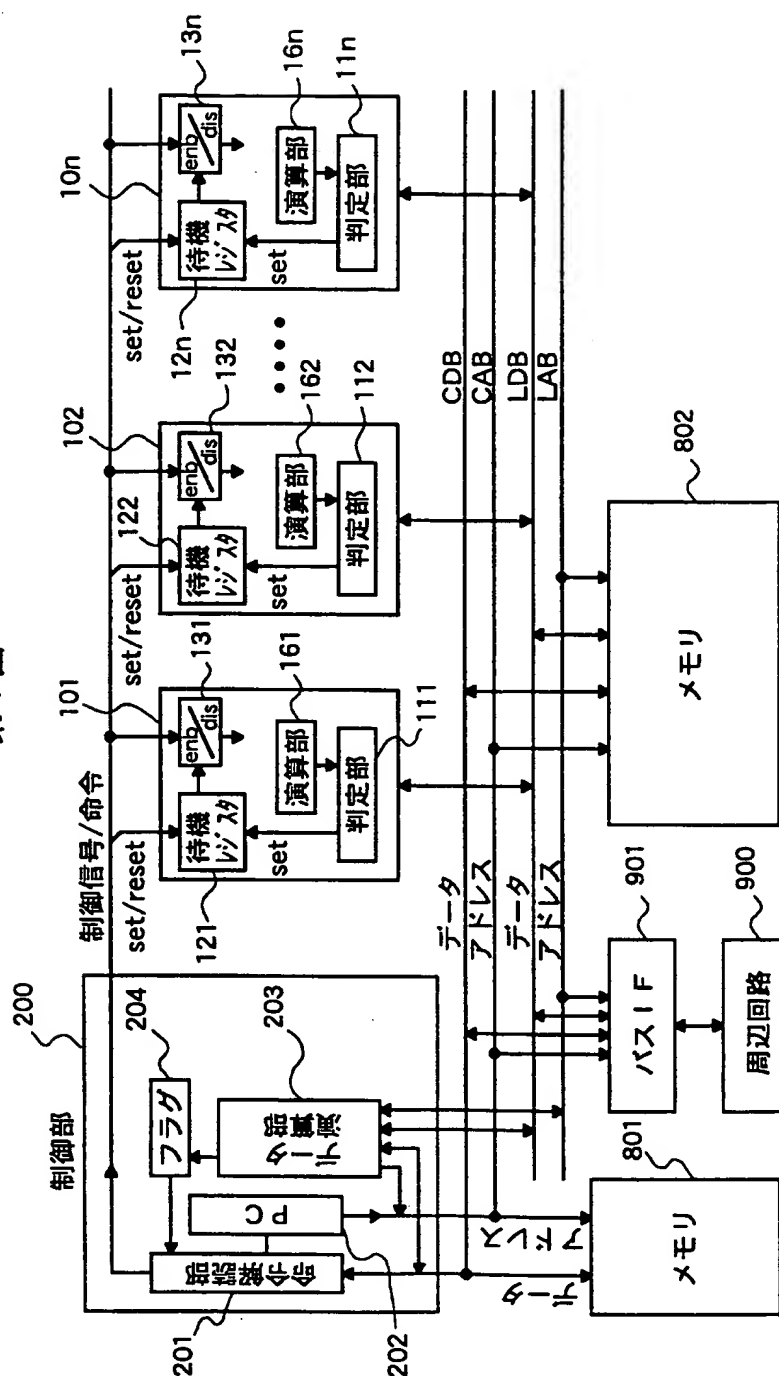
32. 前記誤り訂正処理は、ガロア体上で定義された符号データのシンδροーム演算処理と、シンδροーム演算処理によって得られたシンδροームを用いた誤り有無の判定処理と、誤りが検出されたシンδροームを前記記憶手段に格納する処理とを複数回繰り返し、その後、前記格納されたシンδροームを記憶手段から読み出して誤り訂正演算処理を行う処理であることを特徴とする請求の範囲第31項に記載のデータ処理装置。

33. ガロア体上で定義された符号データの入力手段と、請求の範囲第

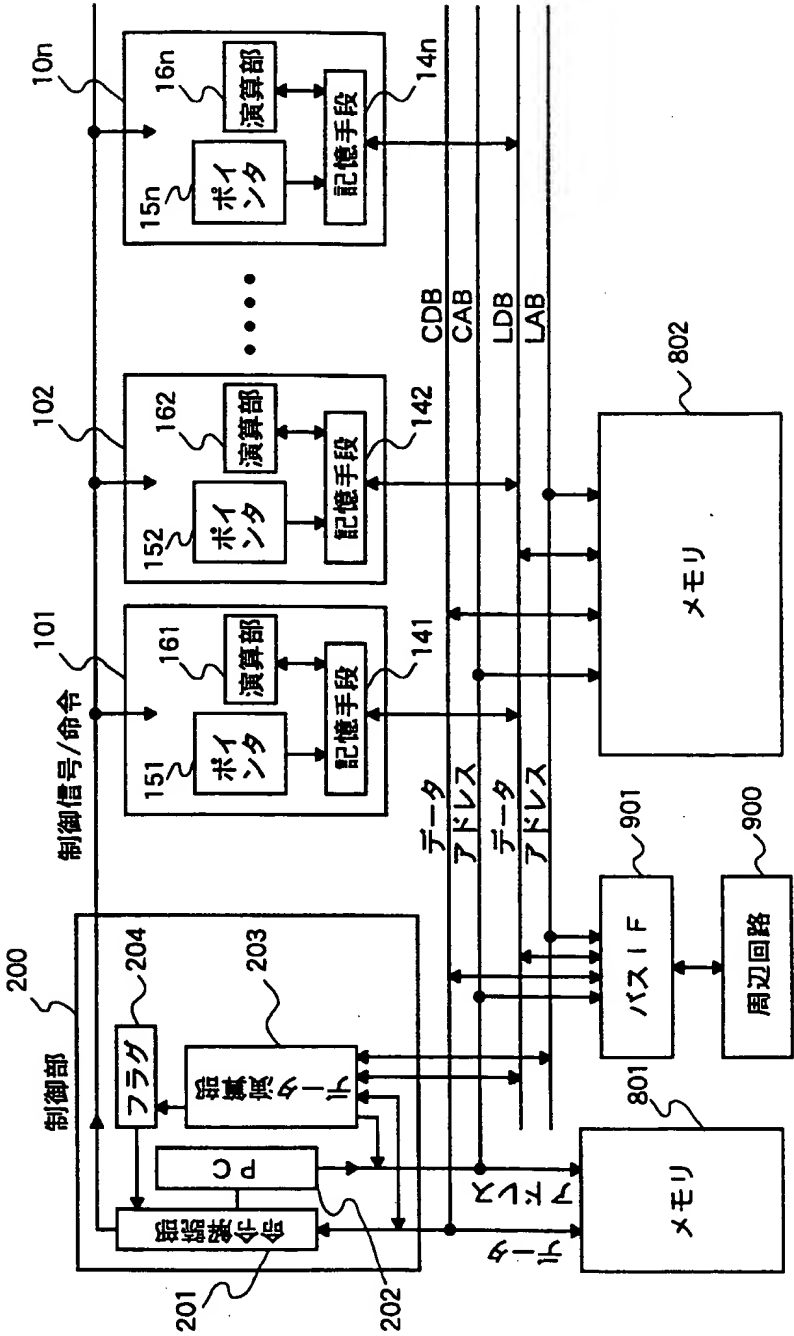
3 1 項又は第 3 2 項に記載のデータ処理装置と、データの出力手段とを含み、前記データ処理装置は、そのプログラムメモリに格納されたプログラムに基づいて、前記入力手段から入力された符号データの誤り訂正を行うものであることを特徴とするデータ処理システム。

- 5 3 4 . 前記データ処理装置に含まれる制御部は、前記入力手段及び出力手段による入出力制御と、符号データの誤り訂正処理とを時分割で実行するものであることを特徴とする請求の範囲第 3 3 項に記載のデータ処理システム。

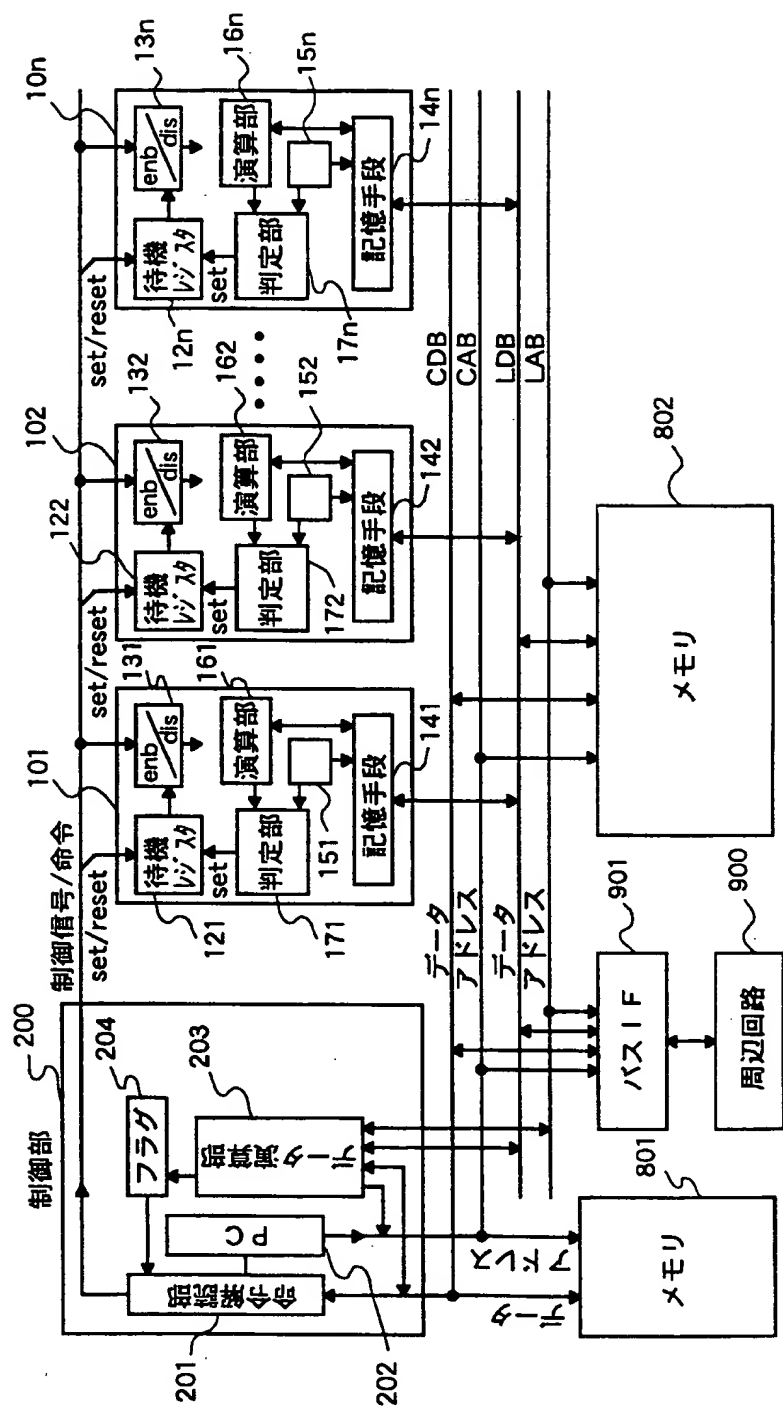
圖一 紙



第 2 図

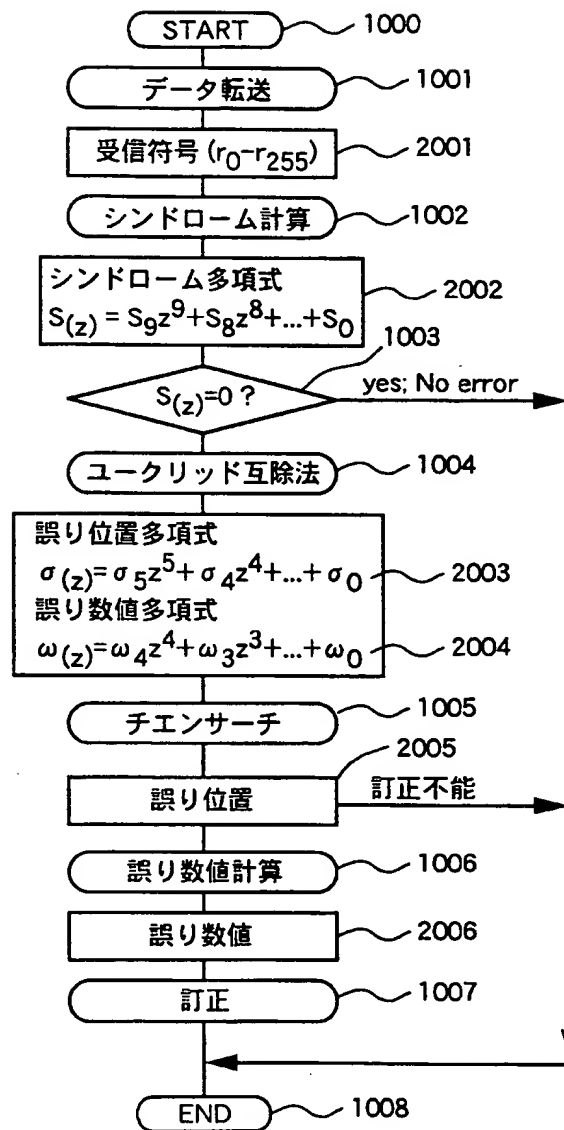


第3図



5 / 19

第5図



6 / 19

第6図

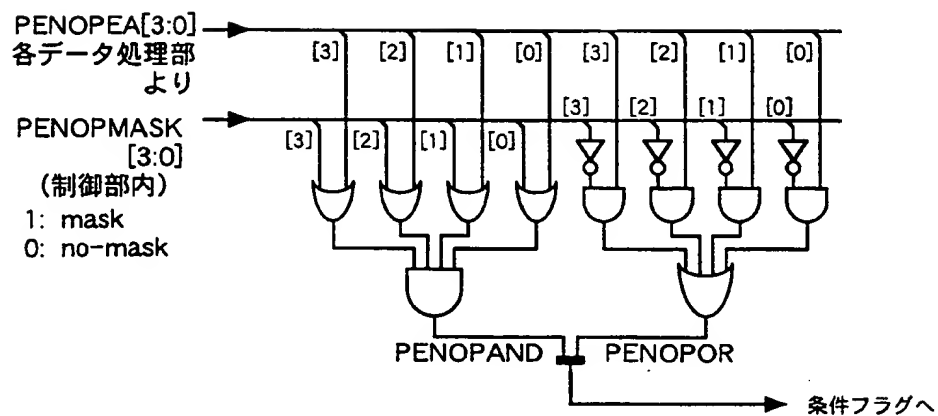
GPE0 (101)	GPE1 (102)	GPE2 (103)	GPE3 (104)
データ転送 1001	データ転送 1001	データ転送 1001	データ転送 1001
シンδροーム 計算 1002	シンδροーム 計算 1002	シンδροーム 計算 1002	シンδροーム 計算 1002
誤り有無判定 1003	誤り有無判定 1003	誤り有無判定 1003	誤り有無判定 1003
ユークリッド 互除法 1004	ユークリッド 互除法 1004	待機 1099	待機 1099
チエンサーチ 1005	チエンサーチ 1005	待機 1099	待機 1099
誤り数値計算 1006	待機 1099	待機 1099	待機 1099
訂正 1007	待機 1099	待機 1099	待機 1099

第7図

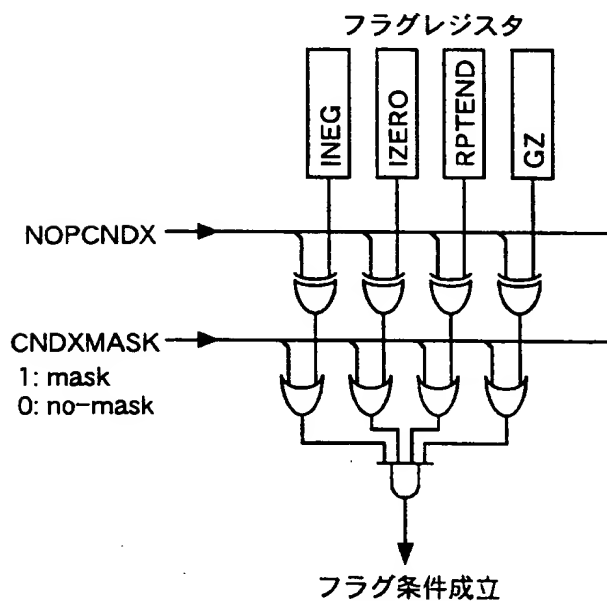
GPE0 (101)	GPE1 (102)	GPE2 (103)	GPE3 (104)
データ転送 1001	データ転送 1001	データ転送 1001	データ転送 1001
シンδροーム 計算 1002	シンδροーム 計算 1002	シンδροーム 計算 1002	シンδροーム 計算 1002
誤り有無判定 1003	誤り有無判定 1003	誤り有無判定 1003	誤り有無判定 1003
シンδροーム 格納 1008	シンδροーム 格納 1008	待機 1099	待機 1099
シンδροーム 読み込み 1009	シンδροーム 読み込み 1009	シンδροーム 読み込み 1009	シンδροーム 読み込み 1009
ユークリッド 互除法 1004	ユークリッド 互除法 1004	ユークリッド 互除法 1004	ユークリッド 互除法 1004
チエンサーチ 1005	チエンサーチ 1005	チエンサーチ 1005	チエンサーチ 1005
誤り数値計算 1006	誤り数値計算 1006	待機 1099	誤り数値計算 1006
訂正 1007	訂正 1007	待機 1099	訂正 1007

7 / 19

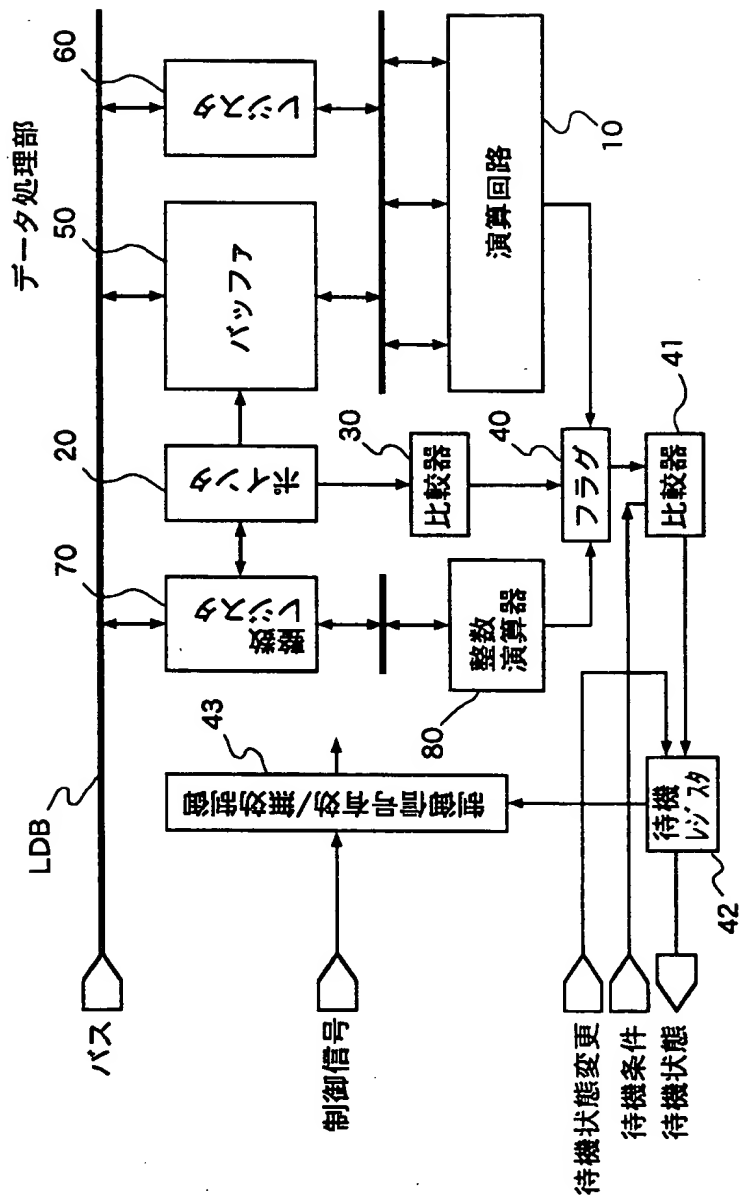
第 8 図



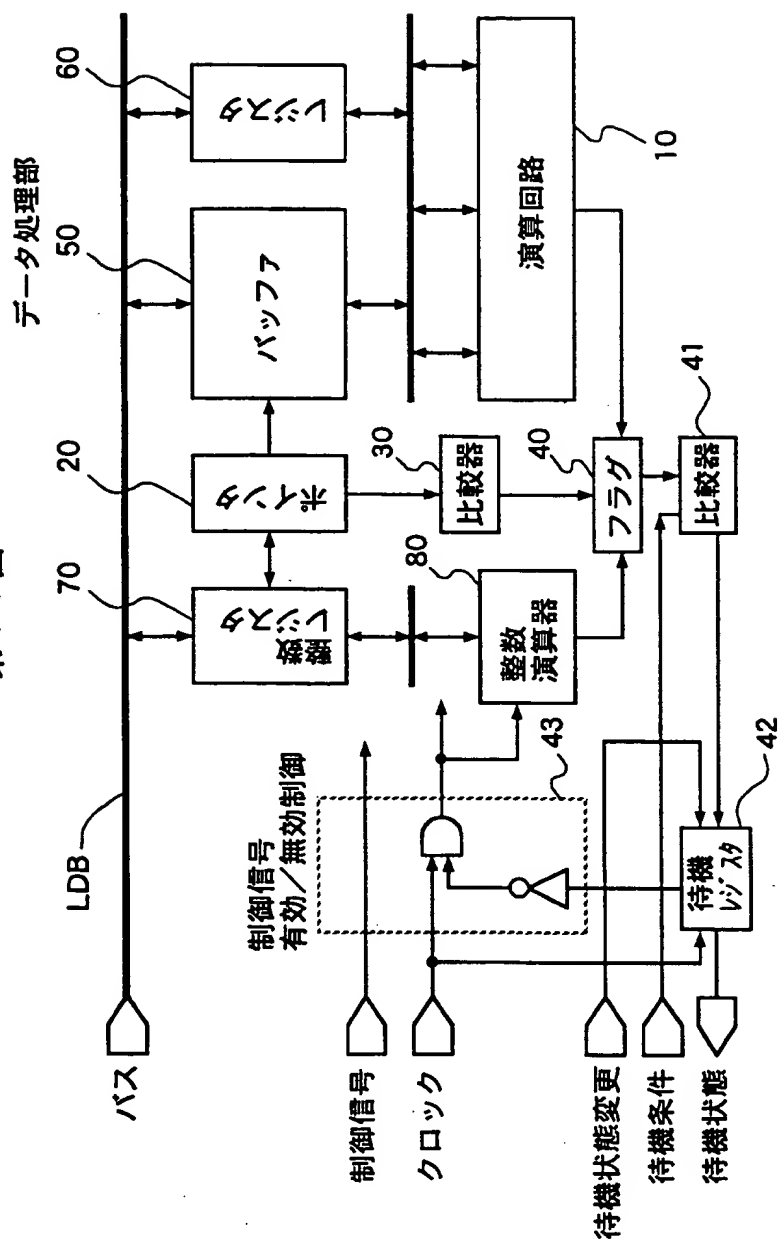
第 9 図



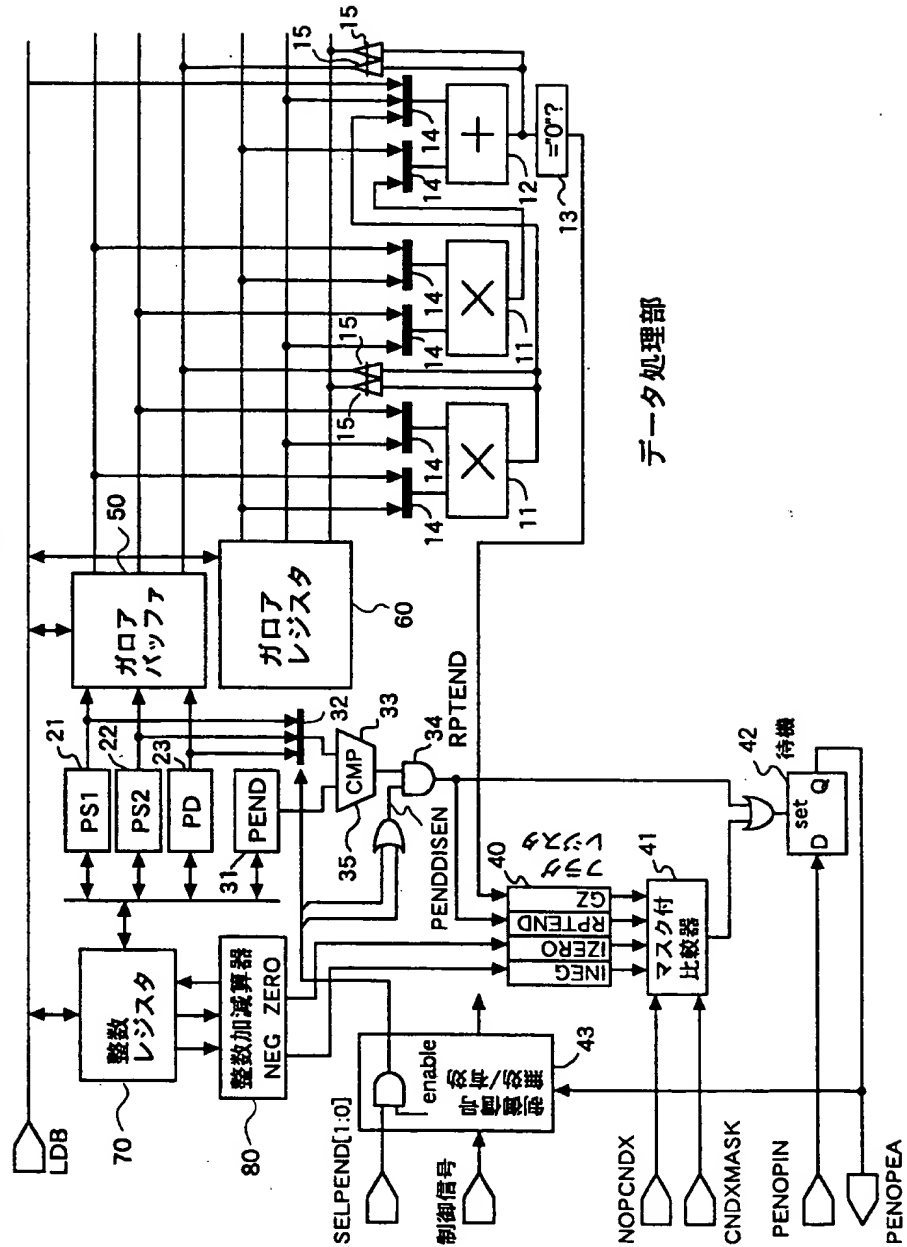
第10図



第11図



第12図



11 / 19

第13図

分類	ニーモニック	内容
データ設定	setPENOP=1 if 条件	データ処理部のフラグを監視し、条件に一致したとき該当するデータ処理部を待機。
	setPENOP=1 when 条件	データ処理部のフラグを監視する条件設定。この命令以降、条件に一致したとき該当するデータ処理部を待機。
	setPENOEPA=#Imm.	データ処理部を個別に待機/活性化させる。
リピート	REPEAT RS, RE, RC	アドレスRSからREまでをRC回繰り返す。
	REPEAT RS, RE, RC until 条件	アドレスRSからREまでをRC回繰り返す。 但し、条件が満たされたら強制終了。 条件: PENOPAND/PENOPOR

第14図

分類	ニーモニック	内容
転送なし	NOP	アドレスポインタAで指定されたアドレスに格納された値をDで指定されたレジスタに転送（ロード）
ロード命令	MOV.L @A, D	Dで指定されたレジスタの値をアドレスポインタAで指定されたアドレスに格納（ストア）
	MOV.L @A+, D	
	MOV.L @A+1, D	
ストア命令	MOV.L S, @A	@A:ポインタ保持
	MOV.L S, @A+	@A+:ポインタ1加算
	MOV.L S, @A+1	@A+1:アドレスインデックスポインタ'1'分加算

12 / 19

第 15 図

分類	ニーモニック	内容	フラグ
全 データ転送命令	GICOPY S, D	整数値転送 D:=S S: P0-P7, PS1, PS2, PD, PEND D: P0-P7, PS1, PS2, PD, PEND	
	GCOPY S, D	ガロア数転送 D:=S S: E0-E3, GB(PS1[+/-]) D: E0-E3, GB(PD[+/-])	
整数演算命令	GIADD Sx, Sy, D GISUB Sx, Sy, D	整数加算 D:=Sx+Sy 整数減算 D:=Sx-Sy Sx: P0, P1, P2, P3, P4, P5, P6, P7 Sy: P0, P1, P2, P3, P4, P5, P6, P7 D: P0, P1, P2, P3, P4, P5, P6, P7	INEG IZERO
	GIINC S, D GIDEC S, D	インクリメント D:=S+1 デクリメント D:=S-1 S: P0, P1, P2, P3, P4, P5, P6, P7 D: P0, P1, P2, P3, P4, P5, P6, P7	INEG IZERO
ガロア体演算命令	GMULT Sx, Sy, D	ガロア体乗算 D:=Sx×Sy Sx: E0-E3, GB(PS1[+/-]) Sy: E0-E3, GB(PS2[+/-]) D: E0-E3, GB(PD[+/-])	
	GADD Sx, Sy, D	ガロア体加算 D:=Sx+Sy Sx: E0-E3, GB(PS1[+/-]) Sy: E0-E3, データバス D: E0-E3, GB(PD[+/-])	GZ
	GMAC Sx, Sy, Sz, D	積和演算 D:=Sx×Sy+Sz Sx: E0-E3 Sy: E0-E3, GB(PS1[+/-]) Sz: E0-E3, GB(PS2[+/-]) D: E0-E3, GB(PD[+/-])	GZ
	GADMS Sx, Sy, Sz, D	Sy:=Sx×Sy D:=Sy×D+Sz Sx: E0-E3 Sy: E0-E3 Sz: E0-E3, GB(PS1[+/-]) D: E0-E3, GB(PD[+/-])	GZ
	GADMC Sx, Sy, Sz, D	Sy:=Sx×Sy D:=Sy×D+Sz Sx: E0-E3 Sy: E0-E3 Sz: GB(PS1[+/-]) D: E0-E3	GZ
	GCMPLX Sw, Sx, Sy, Sz, D	D:=Sw×Sx+Sy×Sz Sw: E0, E1 Sx: GB(PS1[+/-]) Sy: E2, E3 Sz: GB(PS2[+/-]) D: GB(PD[+/-])	GZ
	GINV S, D	逆数 D:=D×D×S S: E0-E3 D: E0-E3	

注) GB(PS1[+/-])は、GB(PS1)/GB(PS1+)/GB(PS1-)のいずれか。
GB(PS2[+/-]), GB(PD[+/-])も同様。

13/19

第16図

分類	ニーモニック	命令コード			
一般RISC命令	S	n bit			
		オペコード	オペランド		
	AND Rn,Rm	000010	RnRnRmRm		
	OR Rn,Rm	000011	RnRnRmRm		
転送 & SIMD複合命令	S				
	データ転送命令 (第17図参照) のニーモニック SIMD命令 (第18図参照) のニーモニック	k bit	m bit		
		p bit	q bit		
組合せ自由		識別コード	データ転送命令の 命令コード	SIMD命令の 命令コード	

14 / 19

第17図

ニーモニック	命令コード	
	m-k-1	q
NOP	000	****
MOV.L@A,D	001	DDDD
MOV.L@A+,D	010	DDDD
MOV.L@A+1,D	011	DDDD
MOV.LS,@A	101	SSSS
MOV.LS,@A+	110	SSSS
MOV.LS,@A+1	111	SSSS

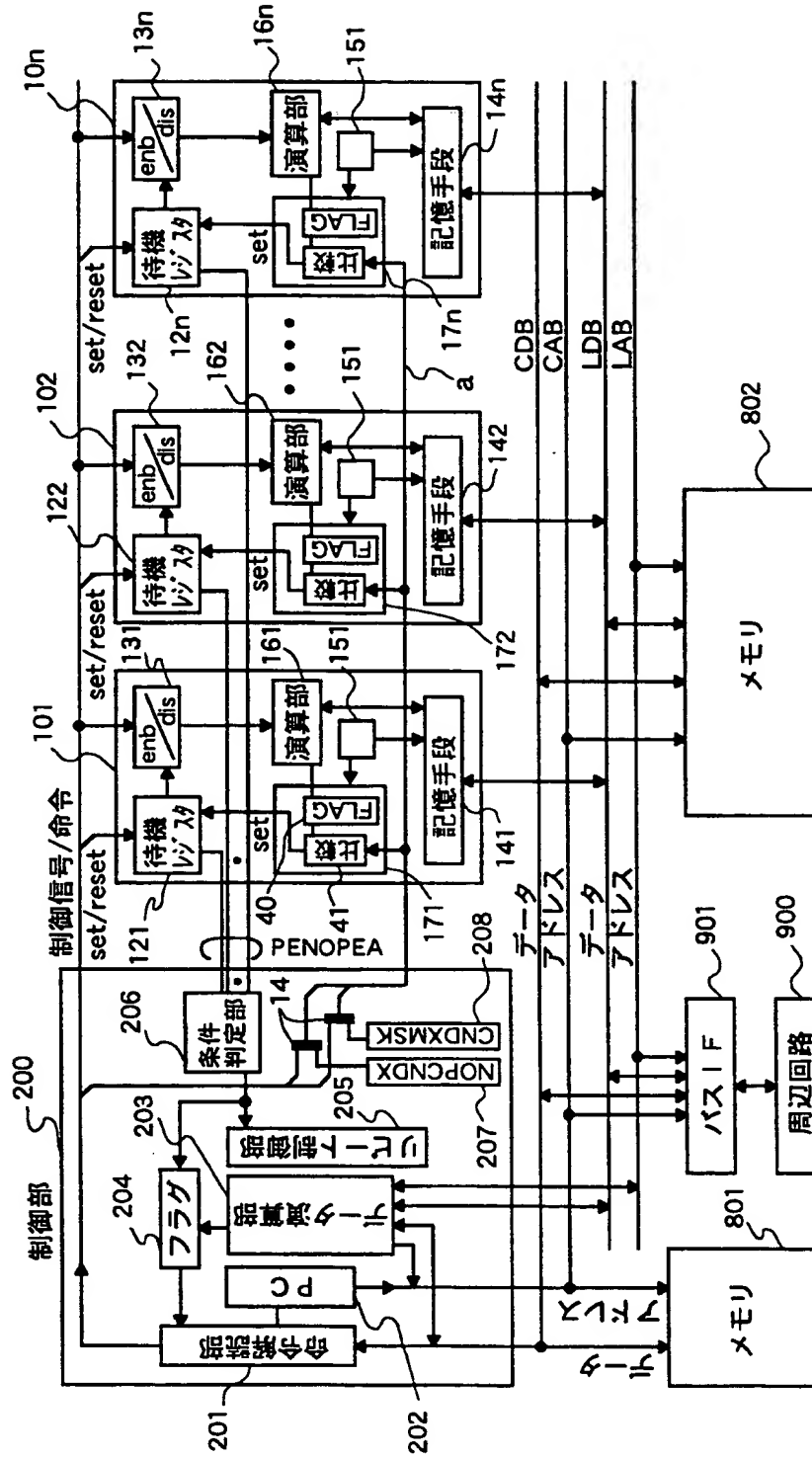
(オペコード) (オペランド)

第18図

ニーモニック	命令コード	
	q-1	0
GICOPY S,D	0001	SSSSDDDD
GCOPY S,D	0010	SSSSDDDD
GIADD Sx,Sy,D	0011	SxSxSySyDD
GISUB Sx,Sy,D	0100	SxSxSySyDD
GIINC S,D	0101	SSSSDDDD
GIDEC S,D	0110	SSSSDDDD
GMULT Sx,Sy,D	0111	SxSxSySyDD
GADD Sx,Sy,D	1000	SxSxSySyDD
GMAC Sx,Sy,Sz,D	1001	SxSySzDDD
GADMS Sx,Sy,Sz,D	1010	SxSySzDDD
GADMC Sx,Sy,Sz,D	1011	SxSySzDDD
GCMPLX Sw,Sx,Sy,Sz,D	1100	SwSxSySzDD
GINV S,D	1101	SwSxSySzDD

(オペコード) (オペランド)

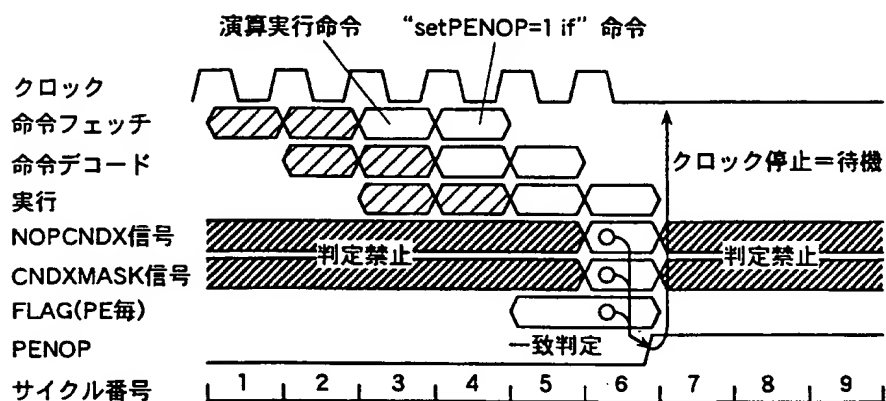
第 19 図



16/19

第20図

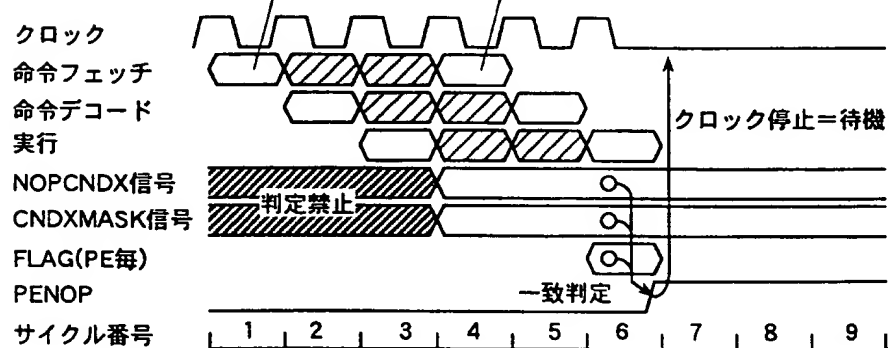
“set PENOP if 条件” 命令の動作



第21図

“set PENOP when 条件” 命令の動作

“setPENOP=1 when” 命令 演算実行命令



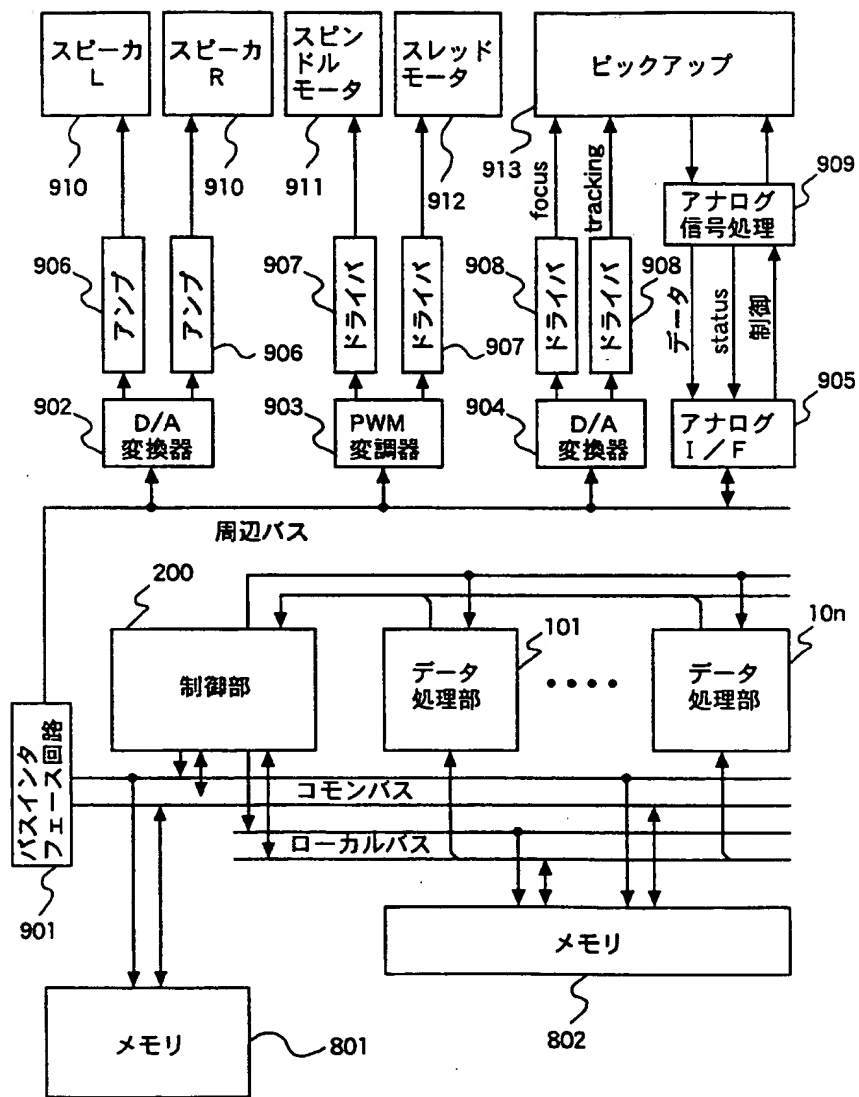
17/19

第22図

GICOPY P0, PS1	-3001
GICOPY P2, PS2	-3002
GICOPY P2, PD	-3003
GICOPY P6, PEND	-3004
REPEAT RS=OMG1, RE=OMG1, RC=16 until PS1=PEND	-3005
OMG1 : GCMLX E0, GB(PS2-), E2, GB(PS1-), GB(PD-)	-3006
set PENOPEA=0000,0000	-3007
GICOPY P7, PEND	-3008
REPEAT RS=OMG2, RE=OMG2, RC=16 until PS2=PEND	-3009
OMG2 : GMULT E0, GB(PS2-), GB(PD-)	-3010
set PENOPEA=0000,0000	-3011

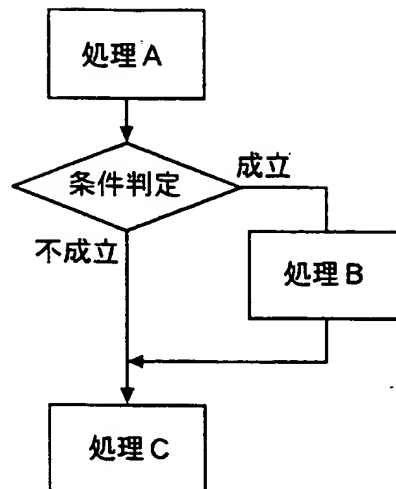
18/19

第23図

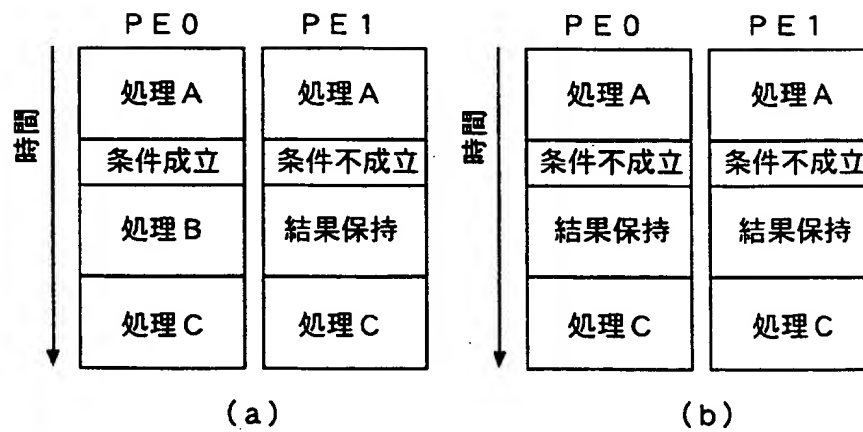


19/19

第 2 4 図



第 2 5 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03259

A. CLASSIFICATION OF SUBJECT MATTER		
Int. Cl ⁶ G06F15/80, G06F17/10, H03M13/00, G11B20/18		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
Int. Cl ⁶ G06F15/80, G06F17/10, H03M13/00, G11B20/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Jitsuyo Shinan Koho 1940 - 1996 Jitsuyo Shinan Toroku Kokai Jitsuyo Shinan Koho 1971 - 1997 Koho 1996 - 1997 Toroku Jitsuyo Shinan Koho 1994 - 1997		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 3-156558, A (NEC Home Electronics Ltd.), July 4, 1991 (04. 07. 91), Page 393, lower left column, line 5 to lower right column, line 6 (Family: none)	1, 4
Y	JP, 5-189585, A (Nippon Telegraph & Telephone Corp.), July 30, 1993 (30. 07. 93), Page (2), column 1, lines 2 to 25 (Family: none)	1, 4
X	JP, 4-130910, A (NEC Corp., NEC Engineering K.K.), May 1, 1992 (01. 05. 92), Page 59, lower left column, line 5 to lower right column, line 6 (Family: none)	3
A	JP, 6-244741, A (NEC Corp.), September 2, 1994 (02. 09. 94), Page (1), column 1, line 2 to column 3, line 2 (Family: none)	1 - 34
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search December 9, 1997 (09. 12. 97)		Date of mailing of the international search report December 24, 1997 (24. 12. 97)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/03259

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-0632208, A (Victor Co. of Japan, Ltd.), March 7, 1997 (07. 03. 97), Page (2), column 1, lines 2 to 12 (Family: none)	1 - 34

A. 発明の属する分野の分類 (国際特許分類 (IPC))

C1⁶G06F15/80, G06F17/10, H03M13/00, G11B20/18

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

C1⁶G06F15/80, G06F17/10, H03M13/00, G11B20/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1996年
 日本国公開実用新案公報 1971-1997年
 日本国実用新案登録公報 1996-1997年
 日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 3-156558, A (日本電気ホームエレクトロニクス株式会社), 4. 7月. 1991 (04. 07. 91), 第393頁, 左下欄, 第5行-右下欄, 第6行 (ファミリーなし)	1, 4
Y	J P, 5-189585, A (日本電信電話株式会社), 30. 7月. 1993 (30. 07. 93), 第(2)頁, 第1欄, 第2-25行 (ファミリーなし)	1, 4
X	J P, 4-130910, A (日本電気株式会社, 日本電気エンジニアリング株式会社), 01. 5月. 1992 (01. 05. 92), 第59頁, 左下欄, 第5行-右下欄, 第6行 (ファミリーなし)	3
A	J P, 6-244741, A (日本電気株式会社), 02. 9月. 1994 (02. 09. 94), 第(1)頁, 第1欄, 第2行-第3欄, 第2行 (ファミリーなし)	1-34

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 先行文献ではあるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

09. 12. 97

国際調査報告の発送日

24. 12. 97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 茂和

5 L

8837

印

電話番号 03-3581-1101 内線 6963

様式PCT/ISA/210 (第2ページの続き) (1992年7月)